

98/1843

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Patentschrift
⑯ DE 44 33 086 C2

⑯ Int. Cl. 8:
H 01 L 29/786
H 01 L 21/336

84

DE 44 33 086 C2

- ⑯ Aktenzeichen: P 44 33 086.3-33
⑯ Anmeldetag: 16. 9. 94
⑯ Offenlegungstag: 30. 3. 95
⑯ Veröffentlichungstag der Patenterteilung: 27. 6. 96

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑯ Unionspriorität: ⑯ ⑯ ⑯
17.09.83 JP P 5-231849 18.08.94 JP P 6-195669

⑯ Erfinder:
Maegawa, Shigeto, Itami, Hyogo, JP.

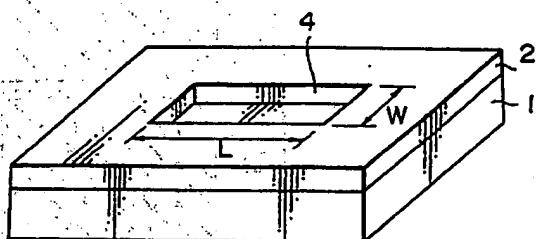
⑯ Patentinhaber:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑯ Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
IEDM 90, p 695;

⑯ Vertreter:
Tiedtke, Bühlung, Kinne & Partner, 80336 München

⑯ Halbleitervorrichtung und Verfahren zu deren Herstellung

⑯ Halbleitervorrichtung mit einem Transistor, gekennzeichnet durch ein Kanalelement (3) aus einem polykristallinen Halbleiter, das unter Bildung eines Zwischenraums (10) zwischen dem Kanalelement und einem Substrat (1) geformt ist, auf dem ein Isolierfilm (2) gebildet ist, und eine Steuerelektrode (8), die zum Überdecken des Kanalelements geformt ist, wobei die Steuerelektrode dazu geeignet ist, in jeder der beiden Oberflächen des Kanalelements einen Kanal zu bilden.



DE 44 33 086 C2

Beschreibung

Die Erfindung bezieht sich auf eine aus Halbleiter-Dünnfilmen gebildete Halbleitervorrichtung und auf ein Verfahren zum Herstellen der Halbleitervorrichtung.

Fig. 31A, 31B und 31C zeigen den Aufbau einer Halbleitervorrichtung mit einem sogenannten GAA-Dünnfilmtransistor der Ausführung mit einem überall aufliegenden Gate, wie er auf Seite 595 in "IEDM 90 Technical Digest" (International Electron Devices Meeting) beschrieben ist, wobei ein Verfahren zum Herstellen dieses Transistors dargestellt ist. Auf einem in Fig. 31A bis 31C gezeigten Siliziumsubstrat 1 sind ein erster Siliziumoxidfilm 2, der ein als Unterlage für das Bilden von Elektroden des Transistors dienender Isolierfilm ist, und ein Kanal-Siliziumfilm 3 aus einem Silizium-Monokrystall zum Bilden von Ausgangselektroden des Transistors ausgebildet. Das Siliziumsubstrat 1, der erste Siliziumoxidfilm 2 und der Kanal-Siliziumfilm 3 werden nach einem sogenannten SIMOX-Herstellungsverfahren zur Isolierung durch implantierten Sauerstoff gebildet. Bei einem SIMOX-Prozeß wird durch Ionenimplantation mit hoher Konzentration in das Siliziumsubstrat 1 Sauerstoff zum Bilden eines Oxidfilms implantiert, wodurch das Siliziumsubstrat 1 und der Kanal-Siliziumfilm 3 voneinander isoliert werden.

In dem ersten Siliziumoxidfilm 2 wird eine Öffnung 4 gebildet, damit eine Gate-Elektrode 6 einen Abschnitt des Kanal-Siliziumfilms 3 gemäß der Darstellung in der Richtung von Pfeilen q und q' nach Fig. 31B von oben und unten umfassend überdecken kann. Eine derartige Formung der Gate-Elektrode 6 ist ein Merkmal dieses GAA-Transistors. Als Gate-Isolierfilm ist zwischen dem Kanal-Siliziumfilm 3 und der Gate-Elektrode 6 ein zweiter Siliziumoxidfilm 5 zur Isolation ausgebildet. Die Gate-Elektrode 6 ist aus einem Film aus polykristallinem Silizium bzw. Polysiliziumfilm gebildet.

Fig. 32A bis 32E sind Darstellungen eines Prozesses zum Herstellen dieser Halbleitervorrichtung. Diese Figuren sind jeweils Darstellungen von Querschnitten entlang einer Linie A-A' in Fig. 31C, wobei die Fig. 32B, 32C und 32E jeweils Querschnittsansichten gemäß Fig. 31A, 31B und 31C sind.

Fig. 33 ist eine Schnittansicht längs einer Linie B-B' in Fig. 31C.

Der GAA-Transistor mit einem solchen Aufbau hat das Merkmal, daß beim Einschalten ein starker Strom hindurchfließt. In dem GAA-Transistor ist gemäß Fig. 31C, 32E und 33 die Gate-Elektrode 6 derart geformt, daß der Kanal-Siliziumfilm 3 zwischen Abschnitten der Gate-Elektrode 6 eingefäbt ist, welche den beiden Oberflächen des Kanal-Siliziumfilms 3 von oben und unten in den Richtungen q und q' nach Fig. 31B und 32E gegenüberliegen. Durch eine Vorspannung an der Gate-Elektrode 6 wird in dem Kanal-Siliziumfilm 3 ein Kanal gebildet, um einen Strom hervorzurufen. In dem in Fig. 31C, 32E und 33 dargestellten Gebilde wird daher der Kanal sowohl an der oberen als auch an der unteren Grenzfläche an dem Kanal-Siliziumfilm 3 in den zu den Richtungen q und q' entgegengesetzten Richtungen gebildet. Demzufolge ist der über den eingeschalteten Transistor fließende Strom mindestens doppelt so stark wie bei dem herkömmlichen Transistor, bei dem nur an einer Seite eine Gate-Elektrode ausgebildet ist. Darüberhinaus wird dann, wenn der Kanal-Siliziumfilm 3 dünn ist, der Kanal durch den Kanal-Siliziumfilm hindurch gebildet, so daß ein stärkerer Strom durchfließen kann.

Als nächstes wird das Verfahren zum Herstellen des GAA-Transistors beschrieben. Zuerst wird ein Silizium-Oberflächenfilm 21 eines SIMOX-Plättchens nach Fig. 32A selektiv zum Bilden eines erwünschten Musters geätzt und durch Photolithographie entsprechend dem gewünschten Muster der Kanal-Siliziumfilm 3 nach Fig. 31A und 32B geformt. Dann wird zum Bilden der Öffnung 4 durch Naßätzung der erste Siliziumoxidfilm 2 an einem Bereich entfernt, der unter dem Kanal-Siliziumfilm 3 des GAA-Transistors an einem Abschnitt liegt, in welchem ein Kanal gebildet werden soll. Infolge dessen erstreckt sich gemäß der Darstellung in der Ansicht des Schnittes entlang der Linie A-A' derjenige Abschnitt des Kanal-Siliziumfilms 3, in dem ein Kanal gebildet wird, gemäß Fig. 31B und 32C wie eine Brücke über die Öffnung 4.

Danach wird der als Gate-Isolierfilm des Transistors dienende zweite Siliziumoxidfilm 5 gemäß Fig. 32D gebildet. Da der zweite Siliziumoxidfilm 5 durch chemische Dampfablagerung (CVD) gebildet wird, überdeckt er alle Oberflächen des Kanal-Siliziumfilms 3. Danach wird durch Ablagerung an dem zweiten Siliziumoxidfilm 5 und Formung eines vorbestimmten Musters durch Photolithographie der Polysiliziumfilm als Gate-Elektrode 6 gebildet. Auf diese Weise ist der GAA-Transistor mit der Gate-Elektrode 6 fertiggestellt, die gemäß Fig. 31C und 32E sowohl an der Oberseite als auch an der Unterseite des Kanal-Siliziumfilms 3 ausgebildet ist, in welchem ein Kanal gebildet wird. Ein Kanal wird sowohl an der oberen als auch an der unteren Seite des Kanal-Siliziumfilms 3 gebildet.

Gemäß der Darstellung in Fig. 33, die eine Querschnittsansicht des auf diese Weise erzeugten GAA-Transistors entlang der Linie B-B' ist, bleibt ein unterhalb des Kanal-Siliziumfilms 3 geformter Gate-Elektrodenabschnitt 6b bei der Musterbildung ungeätzt, da die Gate-Elektrode 6 von oben her geätzt wird. Der Gate-Elektrodenabschnitt 6b ist daher länger als ein über dem Kanal-Siliziumfilm 3 geformter Gate-Elektrodenabschnitt 6a.

Die herkömmlichen Halbleitervorrichtungen dieser Art wurden durch einen SIMOX-Prozeß gestaltet und hergestellt. Dies erfolgte deshalb, weil der Kanal-Siliziumfilm 3 als Monokrystall ausgebildet wurde, damit durch den Kanal ein stärkerer Strom fließen kann. Es ist jedoch nicht möglich, auf dem auf diese Weise geformten GAA-Transistor durch Überlagern einen Siliziummonokristall zu bilden. Der GAA-Transistor kann daher in einer Struktur mit höchstens einer Schicht, keineswegs in einer mehrschichtigen Struktur ausgebildet werden. Es ist daher schwierig, die Integrationsdichte der herkömmlichen GAA-Transistoren zu erhöhen.

Bei dem herkömmlichen Prozeß zum Herstellen der Halbleitervorrichtung wird zuerst aus dem monokristallinen Siliziumfilm 21 der Kanal-Siliziumfilm 3 geformt und danach für das Erzeugen eines Dünnfilmtransistors die Öffnung 4 ausgebildet. Daher kann zum Ätzen für das Bilden der Öffnung 4 keine Trockenätzung angewandt werden, da es schwierig ist, den durch den Kanal-Siliziumfilm 3 abgedeckten Bereich des ersten Siliziumoxidsfilms 2 zu entfernen, und es muß daher eine Naßätzung mit einer Flüssigkeit wie Fluorwasserstoffsäure angewandt werden. Die Naßätzung ist jedoch eine isotrope Ätzung, bei der ein Material in allen Richtungen auf gleiche Weise geätzt wird. Demzufolge wird der erste Siliziumoxidfilm 2 nicht nur in der Richtung zum Siliziumsubstrat 1, nämlich in der Richtung q nach Fig. 32C, sondern auch in einer zu dem Siliziumsubstrat

parallelen Richtung, z. B. einer zu der Richtung q senkrechten Richtung p nach Fig. 32C geätzt, so daß die sich ergebende Öffnung 4 in der Richtung p etwas größer ist als das bei dem Lithographieschritt aufgebrachte Resistfilmuster. Daher ist es schwierig, die Öffnung 4 entsprechend einem sehr feinen Muster für das Erhöhen der Integrationsdichte von GAA-Transistoren zu formen.

In Anbetracht der vorstehend beschriebenen Probleme liegt der Erfindung die Aufgabe zugrunde, eine Halbleitervorrichtung mit einem Dünndfilmtransistor, in welchem ein Bereich, an dem ein Kanal gebildet wird, zum Verbessern der Integrationsdichte auf feine Weise gestaltet werden kann, und ein Verfahren zum Herstellen des Dünndfilmtransistors zu schaffen.

Zum Lösen der Aufgabe wird erfahrungsgemäß eine Halbleitervorrichtung mit einem Transistor geschaffen, der ein Kanalelement, das unter Bildung eines Zwischenraums zwischen dem Kanalelement und einem Halbleitersubstrat geformt ist, auf dem ein Isolierfilm ausgebildet ist, und eine Steuerelektrode aufweist, die zum Abdecken des Kanalelements derart geformt ist, daß mit der Steuerelektrode in jeder der beiden Oberflächen des Kanalelements ein Kanal gebildet werden kann, wobei das Kanalelement aus einem polykristallinen Halbleiter gebildet ist.

Vorteilhafte Ausgestaltungen der erfahrungsgemäßen Halbleitervorrichtung bzw. des erfahrungsgemäßen Verfahrens sind in den Patentansprüchen aufgeführt.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher erläutert.

Fig. 1A bis 1C und 2A bis 2D sind Darstellungen, die eine Halbleitervorrichtung und ein Verfahren zum Herstellen derselben gemäß einem ersten Ausführungsbeispiel der Erfindung veranschaulichen.

Fig. 3A bis 3D und 4A bis 4D sind Querschnittsansichten der Halbleitervorrichtung gemäß dem ersten Ausführungsbeispiel der Erfindung und veranschaulichen das Herstellungsverfahren.

Fig. 5 ist eine Darstellung der Breite einer Öffnung bei dem ersten Ausführungsbeispiel der Erfindung.

Fig. 6A bis 6C und 7A bis 7C sind Darstellungen, die eine Halbleitervorrichtung und ein Verfahren zum Herstellen derselben gemäß einem zweiten Ausführungsbeispiel der Erfindung veranschaulichen.

Fig. 8A bis 8E und Fig. 9 sind Querschnittsansichten der Halbleitervorrichtung gemäß dem zweiten Ausführungsbeispiel und veranschaulichen das Herstellungsverfahren.

Fig. 10 ist eine Darstellung einer Senkung eines Kanal-Siliziumfilms.

Fig. 11A bis 11C sind Darstellungen, die eine Halbleitervorrichtung und ein Verfahren zum Herstellen derselben gemäß einem dritten Ausführungsbeispiel der Erfindung veranschaulichen.

Fig. 12A bis 12E sind Querschnittsansichten der Halbleitervorrichtung gemäß dem dritten Ausführungsbeispiel und veranschaulichen das Herstellungsverfahren.

Fig. 13A bis 13C sind Darstellungen, die eine Halbleitervorrichtung und ein Verfahren zum Herstellen derselben gemäß einem vierten Ausführungsbeispiel der Erfindung veranschaulichen.

Fig. 14A bis 14E sind Querschnittsansichten der Halbleitervorrichtung gemäß dem vierten Ausführungsbeispiel und veranschaulichen das Herstellungsverfahren.

Fig. 15 ist eine Schnittansicht einer Halbleitervorrichtung gemäß einem fünften Ausführungsbeispiel der Erfindung.

Fig. 16 ist eine graphische Darstellung der Zusammenhänge zwischen einer Kanallänge L, einer Dicke t eines Kanal-Siliziumfilms, einer Brückenhöhe h und dem Auftreten einer Senkung der Brücke bei der Halbleitervorrichtung gemäß dem fünften und einem sechsten Ausführungsbeispiel der Erfindung.

Fig. 17A und 17B sind jeweils eine Querschnittsansicht und eine Draufsicht der Halbleitervorrichtung gemäß dem fünften Ausführungsbeispiel.

Fig. 18A und 18B sind Darstellungen einer Halbleitervorrichtung gemäß einem siebenten Ausführungsbeispiel der Erfindung.

Fig. 19A und 19B sind jeweils eine Querschnittsansicht und eine Draufsicht der Halbleitervorrichtung gemäß dem siebenten Ausführungsbeispiel.

Fig. 20A bis 20D und 21A bis 21D sind Darstellungen, die ein Verfahren zum Herstellen einer Halbleitervorrichtung gemäß einem neunten Ausführungsbeispiel der Erfindung veranschaulichen.

Fig. 22A bis 22E sind Darstellungen, die ein Verfahren zum Herstellen einer Halbleitervorrichtung gemäß einem dreizehnten Ausführungsbeispiel der Erfindung veranschaulichen.

Fig. 23 ist eine Querschnittsansicht einer Halbleitervorrichtung gemäß einem vierzehnten Ausführungsbeispiel der Erfindung.

Fig. 24 ist eine graphische Darstellung, die den Zusammenhang zwischen der Dicke von Polysilizium und der Korngröße von Polysilizium in der Halbleitervorrichtung gemäß dem vierzehnten Ausführungsbeispiel zeigt.

Fig. 25A bis 25C sind Querschnittsansichten, die ein Verfahren zum Herstellen der Halbleitervorrichtung gemäß dem vierzehnten Ausführungsbeispiel veranschaulichen.

Fig. 26A bis 26C, 27A bis 27C, 28A bis 28D und 29A bis 29D sind Darstellungen, die eine Halbleitervorrichtung und ein Verfahren zum Herstellen derselben gemäß einem fünfzehnten Ausführungsbeispiel der Erfindung veranschaulichen.

Fig. 30 ist eine Querschnittsansicht einer Halbleitervorrichtung gemäß einem sechzehnten Ausführungsbeispiel der Erfindung.

Fig. 31A bis 31C sind Darstellungen einer herkömmlichen Halbleitervorrichtung und veranschaulichen ein herkömmliches Herstellungsverfahren.

Fig. 32A bis 32B und 33 sind Querschnittsansichten der herkömmlichen Halbleitervorrichtung und veranschaulichen das herkömmliche Herstellungsverfahren.

Erstes Ausführungsbeispiel:

Unter Bezugnahme auf die Zeichnung wird das erste Ausführungsbeispiel der Erfindung beschrieben.

Die Fig. 1A bis 1C und die Fig. 2A bis 2D zeigen den Aufbau einer Halbleitervorrichtung gemäß diesem Ausführungsbeispiel und veranschaulichen ein Verfahren zum Herstellen der Halbleitervorrichtung. Auf einen in Fig. 1C dargestellten Prozeßschritt folgt ein in Fig. 2A dargestellter Prozeßschritt.

In Fig. 1A bis 1C und Fig. 2A bis 2D sind ein Siliziumsubstrat 1 und ein erster Siliziumoxidfilm 2 dargestellt, der auf dem Siliziumsubstrat 1 gebildet ist und der ein Isolierfilm ist, welcher als Unterlage für das Formen von Elektroden eines Transistors dient. Ein Kanal-Silizium-

film 3 wird nach einem Dünnsfilmformungsverfahren aus polykristallinem Silizium bzw. Polysilizium geformt und dient zum Bilden eines Kanals des Transistors. In dem ersten Siliziumoxidfilm 2 wird eine Öffnung 4 ausgebildet, damit eine Gate-Elektrode 6 einen Abschnitt des Kanal-Siliziumfilms 3 von oben und unten umfassend überdecken kann. Für die Isolation zwischen dem Kanal-Siliziumfilm 3 und der Gate-Elektrode 6 ist als Gate-Isolierfilm ein zweiter Siliziumoxidfilm 5 gebildet. Die Gate-Elektrode 6 wird aus einem Polysiliziumfilm geformt. Zum vorübergehenden Abschließen der Öffnung 4 wird als Füllfilm ein Siliziumnitridfilm 8 erzeugt, um zu verhindern, daß das Material des Kanal-Siliziumfilms 3 in die Öffnung 4 eindringt.

Fig. 3A bis 3D und 4A bis 4D sind jeweils Ansichten von Querschnitten entlang einer Linie, die einer Linie A-A' in Fig. 1C oder 2D entspricht. Fig. 3A und 3C sind jeweils Querschnittsansichten von Fig. 1A und 1B. Fig. 4A, 4B und 4C sind jeweils Querschnittsansichten von Fig. 1C, 2A und 2B und Fig. 4D ist eine Querschnittsansicht von Fig. 2C und 2D.

Der GAA-Transistor gemäß diesem Ausführungsbeispiel, bei dem als Kanal-Siliziumfilm 3 Polysilizium verwendet wird, hat wie der herkömmliche GAA-Transistor das Merkmal, daß bei dem Einschalten des Transistors ein starker Strom hindurchfließt. Das heißt, sowohl an der oberen als auch an der unteren Grenzfläche des Kanal-Siliziumfilms 3 wird senkrecht zu den Richtungen von Pfeilen q und q' in Fig. 4D ein Kanal gebildet, so daß der durch den eingeschalteten Transistor fließende Strom im wesentlichen doppelt so stark ist wie der Strom durch einen herkömmlichen Transistor, bei dem der Kanal nur an einer Seite gebildet wird.

Andererseits kann im Vergleich zu dem Stand der Technik, bei dem der Kanal-Siliziumfilm 3 aus einem Siliziummonokristall gebildet wird, der Transistor gemäß diesem Ausführungsbeispiel, bei dem der Kanal-Siliziumfilm 3 aus Polysilizium gebildet wird, mit einem höheren Freiheitsgrad gestaltet werden. Das heißt, während der herkömmliche GAA-Transistor nur in einschichtiger Form gestaltet werden kann, können gemäß diesem Ausführungsbeispiel durch die Verwendung von Polysilizium anstelle von Siliziummonokristall mehrere Schichten des Kanal-Siliziumfilms 3 gebildet werden und es besteht nicht die Erfordernis, bei dem Verfahren zum Herstellen des Transistors gemäß diesem Ausführungsbeispiel Epitaxialschichten zu formen. Somit ermöglicht es die Erfindung, erwünschte Transistoren in einer mehrschichtigen Struktur aus irgendeiner Anzahl von Schichten gemäß Erfordernis zu formen.

Dieser Effekt ist eine notwendige Bedingung für Anwendungen des GAA-Transistors in statischen Schreib/Lesespeichern (SRAM) mit mehrschichtiger Struktur.

Da es darüberhinaus nicht erforderlich ist, einen Siliziummonokristall zu züchten, ist es erfundungsgemäß nicht unbedingt erforderlich, als Substrat ein Siliziumsubstrat zu verwenden. Daher ist der Freiheitsgrad hinsichtlich des Wählens des Substrats erhöht. Beispielsweise kann der Transistor auf einem Glassubstrat gebildet werden und es ist daher möglich, den GAA-Transistor an einem Dünnsfilmtransistor- bzw. TFT-Flüssigkristallfeld anzubringen.

Es wird nun das Verfahren zum Herstellen der Halbleiterrichtung gemäß diesem Ausführungsbeispiel beschrieben.

Schritt A

An einem Siliziumsubstrat 1 wird durch thermische Oxidation ein Siliziumoxidfilm in einer vorbestimmten Dicke (von beispielsweise ungefähr 100 nm) geformt. Auf dem Siliziumoxidfilm wird durch Photolithographie ein vorbestimmtes Muster aus einem Resist gebildet und durch Anwendung eines anisotropen Trockenätzverfahrens (z. B. reaktive Ionenätzung) wird der Siliziumoxidfilm zum Bilden der Öffnung 4 mit einer vorbestimmten Größe entfernt (Fig. 1A, 3A). Als erster Siliziumoxidfilm 2 bleibt der geätzte Siliziumoxidfilm mit dem erwünschten Muster zurück. Da eine anisotrope Trockenätzung angewandt wird, wird der Siliziumoxidfilm in der Richtung zum Siliziumsubstrat 1, nämlich in einer Richtung q nach Fig. 3A und nicht in einer zu dem Siliziumsubstrat 1 parallelen Richtung, nämlich nicht in einer Richtung p nach Fig. 3A geätzt. Infolge dessen wird die Öffnung 4 nicht größer als das Resistmuster. Es ist daher möglich, die Öffnung 4 auf feine Weise zu formen.

Wenn durch die Trockenätzung die Öffnung 4 gebildet wird, kann der entsprechende Teil des ersten Siliziumoxidsfilms 2 vollständig entfernt werden, so daß das Siliziumsubstrat 1 freiliegt, oder es kann eine das Siliziumsubstrat 1 abdeckende Schicht aus dem ersten Siliziumoxidfilm 2 belassen werden. Das heißt, es genügt eine Ätzung in einem Ausmaß, das für das Einstellen einer vorbestimmten Tiefe (von beispielsweise ungefähr 100 nm) der Öffnung 4 ausreichend ist. Ferner kann die Größe bzw. Fläche der Öffnung 4 derart gewählt werden, daß sie etwas größer als das Format, nämlich die Länge und Breite des zu erzeugenden Dünnsfilmtransistors ist.

Schritt B

Die auf diese Weise gebildete Öffnung 4 wird durch chemische Niederdruck-Dampfablagerung (LP-CVD) beispielsweise bei einer Reaktionstemperatur von 700 bis 800°C mit dem Siliziumnitridfilm 8 gefüllt (Fig. 3B), um zu verhindern, daß bei dem Formen des Kanal-Siliziumfilms 3 dieser in die Öffnung 4 eindringt und die Öffnung 4 ausfüllt. Es ist erforderlich, darauffolgend in einem nachfolgend beschriebenen Schritt den Siliziumnitridfilm 8 aus der Öffnung 4 zu entfernen, ohne den ersten Siliziumoxidfilm 2, den Kanal-Siliziumfilm 3 und andere Teile oder Elemente zu verändern. Daher muß das Material für das Füllen der Öffnung 4 ein Material sein, das durch Naßätzung selektiv entfernt werden kann (z. B. ein Material mit der Eigenschaft, daß es leichter zu ätzen ist als der Siliziumoxidfilm und das Polysilizium). Als Material, das diese Bedingung erfüllt, wird Siliziumnitrid verwendet. Als Ätzflüssigkeit für das Entfernen des Siliziumnitridfilms wird heiße Phosphorsäure oder dergleichen verwendet.

Zum Füllen der Öffnung 4 wird der Siliziumnitridfilm 8 durch chemische Niederdruck-Bedämpfung in einer Dicke abgelagert, die beispielsweise gleich der halben Breite (von 0,25 µm) der Öffnung 4 oder größer oder gemäß der Darstellung in Fig. 3B größer ist, wenn die Breite der Öffnung 0,5 µm beträgt.

Als nächstes wird zum Abätzen der ganzen Oberfläche das anisotrope Ätzen (die reaktive Ionenätzung oder dergleichen) vorgenommen. Das heißt, das Ätzen wird zum Beseitigen des Siliziumnitridfilms 8 ausgeführt und beendet, wenn der erste Siliziumoxidfilm 2 freigelegt ist, wie es in Fig. 3C dargestellt ist. Dadurch bleibt

der Siliziumnitridfilm 8 nur in der Öffnung 4 zurück, wodurch diese mit dem Siliziumnitridfilm derart ausgefüllt ist, daß die Oberfläche der Filme 2 und 8 miteinander ausgeflichtet sind (Fig. 1B).

Schritt C

Auf dem füllenden Siliziumnitridfilm 8 wird durch chemische Niederdruck-Bedämpfung (bei einer Reaktionstemperatur von beispielsweise 400 bis 700°C) ohne Hinzufügen von Fremdstoffen Polysilizium in einer vorbestimmten Dicke (von beispielsweise 40 nm) abgelagert (Fig. 3D) und durch Photolithographie und Ätzen der Kanal-Siliziumfilm 3 aus. Polysilizium geformt (Fig. 1C, 4A). Dadurch wird ein Hauptteil des Dünnsfilmtransistors gebildet.

Schritt D

Der als Füllung bei dem Schritt B gebildete Siliziumnitridfilm 8 wird entfernt. Der Siliziumnitridfilm 8 wird beispielsweise durch Eintauchen in heiße Phosphorsäure bei 150 bis 200°C beseitigt. Dadurch entsteht unter dem Kanal-Siliziumfilm 3 aus dem Polysilizium ein Zwischenraum 10 (Fig. 2A, 4B). Die Höhe des Zwischenraums ist gleich der Dicke des ersten Siliziumoxidfilms 2, wenn durch die Öffnung 4 hindurch das Siliziumsubstrat 1 freigelegt ist.

Schritt E

Durch chemische Niederdruck-Bedämpfung (bei einer Reaktionstemperatur von beispielsweise 600 bis 900°C) wird der zweite Siliziumoxidfilm 5 in einer vorbestimmten Dicke (von beispielsweise 20 nm) aufgebracht. Dadurch wird der zweite Siliziumoxidfilm 5 auf der Oberfläche des ersten Siliziumoxidfilms 2, um den Abschnitt des Kanal-Siliziumfilms 3 herum und in der Öffnung 4 gebildet (Fig. 2B, 4C). Der Siliziumoxidfilm 5 kann durch thermische Oxidation (bei einer Reaktionstemperatur von 800 bis 1000°C) gebildet werden.

Schritt F

Auf den bei dem Schritt E gebildeten Siliziumoxidfilm 5 wird durch chemische Niederdruck-Bedämpfung (bei einer Reaktionstemperatur von beispielsweise 500 bis 700°C) für das Formen der Gate-Elektrode 6 ein Polysiliziumfilm 11, dem Phosphor hinzugefügt ist, in einer vorbestimmten Dicke (von beispielsweise ungefähr 150 nm) aufgebracht (Fig. 2C). Die Abdeckung durch die chemische Niederdruck-Bedämpfung ist derart breit, daß der Zwischenraum 10 vollständig mit dem Polysiliziumfilm 11 gefüllt wird.

Schritt G

Durch Photolithographie und Ätzen wird der Polysiliziumfilm 11 zu einem vorbestimmten Muster geformt (Schritt 2D, 4D), wodurch die Gate-Elektrode 6 des GAA-Transistors gebildet wird.

Schritt H

Zum Bilden von N-Zonen, nämlich Source- und Drainzonen des Dünnsfilmtransistors wird durch Ionenimplantation in einen von dem Polysiliziumfilm, d.h. der Gate-Elektrode 6 nicht abgedeckten Bereich des Kanal-

Siliziumfilms 3 Arsen eindotiert.

Gemäß der vorstehenden Beschreibung wird bei dem Verfahren zum Herstellen der Halbleitervorrichtung gemäß diesem Ausführungsbeispiel die unter dem Kanal-Siliziumfilm 3 des GAA-Transistors vorgesehene Öffnung 4 gebildet, bevor der Kanal-Siliziumfilm 3 geformt wird. Daher kann die Öffnung durch anisotrope Trockenätzung statt durch Naßätzung gebildet und daher mit einem feinen Muster (mit beispielsweise ungefähr 1,0 µm) geformt werden.

Falls eine Öffnung 4 durch Naßätzung gebildet wird, ist es aus dem nachstehend unter Bezugnahme auf die Fig. 5 beschriebenen Grund unmöglich, ein derart feines Muster zu formen.

15. Die Fig. 5 ist eine Querschnittsansicht, die das Formen der Öffnung 4 in dem Fall darstellt, daß der erste Siliziumoxidfilm 2 unter Verwendung eines Resists 31 mit einer Öffnungsbreite D für das Bilden der Öffnung 4 geätzt wird. Wenn der erste Siliziumoxidfilm 2 mittels 20 einer Fluorwasserstoffsäurelösung entfernt wird, wird der Film sowohl in vertikaler als auch in seitlicher Richtung gemäß Fig. 5 über eine Strecke d abgeätzt. Ein solches Ätzen in seitlichen Richtungen wird als Flankenätzung bezeichnet. Durch die Flankenätzung entsteht dann, wenn das Siliziumsubstrat 1 freigelegt ist und das Ätzen beendet ist, eine geätzte Öffnung 32 mit einer Breite, die um 2d größer als die Öffnungsbreite D des Resists 31 ist. Auf diese Weise entsteht bei der Naßätzung die Flankenätzung und die Abmessungen der eingätzten Öffnung sind daher größer als die der Öffnungsbreite D des Resists 31 entsprechenden erwünschten Abmessungen.

Zum Erhalten einer geätzten Öffnung 32 mit der erwünschten Breite D könnten die Abmessungen der Öffnung in dem Resist 31 um einen Wert (2d) verringert werden, der der durch die Flankenätzung verursachten Vergrößerung der Abmessungen entspricht ($D' = D - 2d$). Es besteht jedoch eine bestimmte Grenze hinsichtlich der Resistöffnungsgröße (Öffnungsgrenze) und die Resistöffnungsgröße kann nicht kleiner als eine minimale Ätzbreite bei der Lithographie sein. Das heißt, die kleinste Breite der Öffnung in dem ersten Siliziumoxidfilm 2 kann nicht kleiner als die Summe aus der durch die Lithographie bestimmten minimalen Öffnungsgröße und der Flankenätzstrecke sein.

Im Gegensatz dazu kann die eingeätzte Öffnung 32 im Falle der Trockenätzung mit einer Breite gebildet werden, die im wesentlichen gleich der minimalen Resist-Öffnungsgröße ist, da im wesentlichen kein Flankenätzeffekt auftritt.

Somit ist es allein durch die Trockenätzung gemäß diesem Ausführungsbeispiel 1 möglich, eine Öffnung mit Abmessungen innerhalb der Resistöffnungsgrenze von ungefähr 1 µm zu formen.

Ausführungsbeispiel 2

Es wird das zweite Ausführungsbeispiel der Erfindung, nämlich das Ausführungsbeispiel 2 beschrieben. Bei diesem Ausführungsbeispiel wird ein GAA-Transistor gebildet, ohne wie bei dem ersten Ausführungsbeispiel die Öffnung 4 zu benutzen.

Fig. 6A bis 6C und 7A bis 7C sind Darstellungen, die die Gestaltung einer Halbleitervorrichtung gemäß diesem Ausführungsbeispiel zeigen und ein Verfahren zum Herstellen der Halbleitervorrichtung veranschaulichen. Auf den in Fig. 6C dargestellten Prozeßschritt folgt der in Fig. 7A dargestellte Prozeßschritt.

Bei diesem Ausführungsbeispiel wird zum Bilden eines Zwischenraums 10 zwischen dem ersten Siliziumoxidfilm 2 und dem Kanal-Siliziumfilm 3 auf den ersten Siliziumoxidfilm 2 ein Siliziumnitridfilm 9 aufgebracht. Das Siliziumsubstrat 1, der erste Siliziumoxidfilm 2, der Kanal-Siliziumfilm 3, der zweite Siliziumoxidfilm 5 und die Gate-Elektrode 6 sind die gleichen wie bei dem ersten Ausführungsbeispiel und werden nicht im einzelnen beschrieben.

Fig. 8A bis 8E sind jeweils Querschnittsansichten entlang einer Linie, die einer Linie A-A' in Fig. 6C oder 7C entspricht, wobei Fig. 8A, 8B, 8C und 8D jeweils Querschnittsansichten von Fig. 6A, Fig. 6B, Fig. 6C und Fig. 7A sind und die Fig. 8E eine Querschnittsansicht von Fig. 7B und 7C ist. Fig. 9 ist eine Querschnittsansicht entlang einer Linie B-B' in Fig. 7C.

Es wird nun das Verfahren zum Herstellen der Halbleitervorrichtung gemäß diesem Ausführungsbeispiel beschrieben.

Schritt A

Auf dem Siliziumsubstrat 1 wird beispielsweise durch thermische Oxidation in einer vorbestimmten Dicke (von z. B. ungefähr 100 nm) der erste Siliziumoxidfilm 2 ausgebildet, auf dessen Oberfläche durch chemische Niederdruck-Bedämpfung (bei einer Reaktionstemperatur von beispielsweise 700 bis 800°C) der Siliziumnitridfilm 9 in einer vorbestimmten Dicke (von z. B. ungefähr 200 nm) aufgebracht wird. Danach wird aus dem Siliziumnitridfilm 9 ein Liniennuster entsprechend der erwünschten Breite eines Kanals des Transistors geformt (Fig. 6A, 8A).

Schritt B

Auf dem ersten Siliziumoxidfilm 2 und dem bei dem Schritt A geformten Siliziumnitridfilm 9 wird in einer vorbestimmten Dicke (von z. B. 50 nm) durch chemische Niederdruck-Bedämpfung (bei einer Reaktionstemperatur von beispielsweise 500 bis 700°C) ein Polysiliziumfilm als Kanal-Siliziumfilm 3 ausgebildet und zu einem gewünschten Muster geformt (Fig. 6B, 8B).

Schritt C

Es wird der bei dem Schritt A gebildete Siliziumnitridfilm 9 entfernt, wobei der Film beispielsweise durch Eintauchen in heiße Phosphorsäure bei 180°C gänzlich entfernt werden kann (Fig. 6C, 8C). An der Stelle, an der der Siliziumnitridfilm 9 unter dem Kanal-Siliziumfilm 3 hindurchläuft, erhält dieser einen hochliegenden Abschnitt. Wenn der Siliziumnitridfilm 9 beseitigt ist, entsteht gemäß der Darstellung in Fig. 6C und 8C unter diesen Abschnitt des Kanal-Siliziumfilms 3 ein Zwischenraum 10. Auf diese Weise kann der Zwischenraum 10 für das Einfassen des Kanal-Siliziumfilms 3 zwischen die Teile der Gate-Elektrode gebildet werden, ohne daß die Öffnung gebildet wird. Der erste Siliziumoxidfilm 2 auf dem Siliziumsubstrat 1 bleibt unversehrt, da die Phosphorsäurelösung den Siliziumoxidfilm nicht ätzt.

Schritt D

Auf der ganzen Oberfläche wird in einer vorbestimmten Dicke (von z. B. 20 nm) durch chemische Niederdruck-Bedämpfung (bei einer Reaktionstemperatur von beispielsweise 400 bis 900°C) der als Gate-Isolierfilm

dienende zweite Siliziumoxidfilm 5 aufgebracht. Dadurch wird der zweite Siliziumoxidfilm 5 sowohl um den brückenförmigen Abschnitt des Kanal-Siliziumfilms 3 herum als auch auf dem ersten Siliziumoxidfilm 2 gebildet (Fig. 7A, 8D).

Schritt E

Auf den bei dem Schritt D gebildeten zweiten Siliziumoxidfilm 5 wird in einer vorbestimmten Dicke (von z. B. ungefähr 200 nm) durch chemische Niederdruck-Dampflagerung (mit beispielsweise SiH₄-Gas, das PH₃ enthält, bei einer Reaktionstemperatur von 500 bis 700°C) ein zweiter (dotierter) Polysiliziumfilm 12 aufgebracht, in dem Phosphor enthalten ist. Der Zwischenraum 10 (mit einer Höhe von ungefähr 200 nm) unter dem brückenförmigen Abschnitt des Kanal-Siliziumfilms 3 wird mit dem zweiten Polysiliziumfilm 12 vollständig ausgefüllt (Fig. 7B, 8E), da bei der chemischen Niederdruck-Bedämpfung die Abdeckung für das Bilden des abgelagerten Films sehr breit ist.

Schritt F

Der zweite Polysiliziumfilm 12 wird zu einer Form bearbeitet, die einem gewünschten Muster der Gate-Elektrode 6 entspricht. Das heißt, entsprechend dem gewünschten Muster wird der die Gate-Elektrode 6 bildende Teil des dotierten zweiten Polysiliziumfilms 12 geformt (Fig. 7C). Infolge dessen wird gemäß der Darstellung in Fig. 8E der Kanal-Siliziumfilm 3 mit der Gate-Elektrode 6 überdeckt. Gemäß der Querschnittsansicht in Fig. 9 entlang der Linie B-B' in Fig. 7C ist ein unterer Abschnitt 6b der Gate-Elektrode länger als ein oberer Abschnitt 6a der Gate-Elektrode. Danach wird unter Verwendung der auf dem Kanal-Siliziumfilm 3 aufliegenden Gate-Elektrode 6 als Maske Arsen implantiert. Dadurch werden die Source-Elektrode und die Drain-Elektrode des Transistors gebildet, so daß auf diese Weise der GAA-Transistor fertiggestellt ist.

Gemäß der vorstehenden Beschreibung wird bei dem Verfahren zum Herstellen der Halbleitervorrichtung gemäß dem Ausführungsbeispiel 2 zwischen dem Kanal-Siliziumfilm 3 und dem ersten Siliziumoxidfilm 2 der Zwischenraum 10 zum Formen der Gate-Elektrode 6 des GAA-Transistors gebildet, ohne eine Öffnung zu bilden. Dadurch kann der Schritt zum Bilden einer Öffnung entfallen, so daß der Herstellungsprozeß vereinfacht werden kann. Ferner ermöglicht es die Erfindung, die Transistoren auf feine Weise zu formen, so daß die Integrationsdichte erhöht ist.

Bei dem ersten und dem zweiten Ausführungsbeispiel wird der Zwischenraum 10 durch Verwendung des Siliziumnitridfilms gebildet. Zum Bilden des Zwischenraums 10 kann jedoch irgendein anderes Material verwendet werden, solange dieses danach durch Naßätzung ohne Verändern des Kanal-Siliziumfilms 3 und der anderen Elemente selektiv entfernt werden kann. Es ist aber vorteilhaft, ein Material zu verwenden, das bei der Erwärmung (auf eine Temperatur von ungefähr 600°C) bei dem Schritt zur chemischen Niederdruck-Bedämpfung zwischen den Schritten für das Aufbringen und das Entfernen des Materials beständig ist.

Bei dem Schritt zum Entfernen des Siliziumnitridfilms ist es jedoch nicht unbedingt erforderlich, den Siliziumnitridfilm vollständig zu entfernen. Das heißt, es kann etwas von dem Siliziumnitridfilm zurückbleiben, wenn unter dem Kanal-Siliziumfilm 3 der erforderliche Zwi-

schenraum 10 entsteht und wenn die Elektrode 6 derart gebildet werden kann, daß der Kanal-Siliziumfilm 3 auf geeignete Weise zwischen die Teile der Elektrode 6 eingefäßt ist.

Als Beispiel wurde die Halbleitervorrichtung mit einem GAA-Transistor beschrieben. Diese Erfindung kann jedoch auch bei der Herstellung von Halbleitervorrichtungen mit andersartigen Öffnungen sowie von Halbleitervorrichtungen mit Dünnsiliciumtransistoren angewandt werden. Ferner wurde ein Prozeß zur chemischen Niederdruck-Dampfablagerung beschrieben. Selbstverständlich kann jedoch irgendein anderes Dünnsiliciumformungsverfahren angewandt werden.

Ausführungsbeispiel 3

Bei dem zweiten Ausführungsbeispiel kann, dann, wenn gemäß der Darstellung in Fig. 6C der Kanal-Siliziumfilm 3 in Form einer Brücke gebildet wird, sich gemäß Fig. 10 ein mittiger Teil des brückenförmigen Abschnitts bis zur Berührung mit dem ersten Siliziumoxidfilm 2 senken, was nachstehend einfach als "Senkung" bezeichnet wird. Eine solche Senkung tritt hauptsächlich deshalb auf, weil die sich senkrecht zu dem Siliziumsubstrat 1 zum Tragen der Brücke erstreckenden, einander gegenüberliegenden Brückenendabschnitte des Kanal-Siliziumfilms 3 nicht ausreichend dick zum Stützen der Brücke sind. Eine solche Senkung tritt leichter dann auf, wenn die Kanallänge (Brückenzahl) größer ist, wenn die Höhe der Brücke geringer ist oder wenn die Dicke des Kanal-Siliziumfilms 3 kleiner ist. Bei dem dritten Ausführungsbeispiel sind gemäß Fig. 11C anliegend an Schenkelabschnitte des Kanal-Siliziumfilms 3 Rahmenmuster aus einem Siliziumoxidfilm 13 vorgesehen, um die Brücke auf ausreichende Weise derart abzustützen, daß sich die Brücke nicht senkt. Der Brückenabschnitt des Kanal-Siliziumfilms 3 wird durch die Schenkelabschnitte des Kanal-Siliziumfilms 3 und Rahmenmuster 14a und 14b abgestützt.

Als nächstes wird das Verfahren zum Herstellen der Halbleitervorrichtung gemäß dem dritten Ausführungsbeispiel beschrieben.

Wie bei dem zweiten Ausführungsbeispiel wird auf den auf dem Siliziumsubstrat 1 aufliegenden ersten Siliziumoxidfilm 2 der Siliziumnitridfilm 9 für das Bilden des Zwischenraums 10 aufgebracht, damit der Kanal-Siliziumfilm 3 brückenförmig gestaltet werden kann (Fig. 11A). Die Fig. 12A ist eine Querschnittsansicht der Elemente bei diesem Zustand entlang einer Linie B-B' in Fig. 11A.

Als nächstes wird auf die ganze Oberfläche durch chemische Bedämpfung der Siliziumoxidfilm 13 in einer Dicke von ungefähr 100 nm aufgebracht (Fig. 12B). Danach wird der Siliziumoxidfilm 13 durch anisotrope Trockenätzung wie reaktive Ionenätzung geätzt, um Teile des Siliziumoxidfilms 13 in Form von Seitenwänden zurückzulassen, die an Seitenflächen des Siliziumnitridfilms 9 anliegen. Diese Filmteile werden als Rahmenmuster 14a und 14b ausgebildet (Fig. 12C).

Danach wird durch Ablagerung der Kanal-Siliziumfilm 3 in einem erwünschten Muster geformt (Fig. 11B, 12D). Wenn der Siliziumnitridfilm 9 entfernt wird, ergibt sich der durch die Rahmenmuster 14a und 14b verstärkte brückenförmige Kanal-Siliziumfilm 3 (Fig. 11C, 12E). Die Rahmenmuster 14a und 14b stützen den Kanal-Siliziumfilm 3 an dem Brückenabschnitt derart, daß sich dieser nicht leicht senken kann.

Da die Rahmenmuster 14a und 14b an den einander

gegenüberliegenden Enden der Brücke angebracht sind, behindern sie nicht die Kanalbildung durch die Gate-Elektrode 6.

Ausführungsbeispiel 4

Bei dem dritten Ausführungsbeispiel 3 sind zum Verhindern der Senkung der Brücke die Rahmenmuster aus dem Siliziumoxidfilm an den einander gegenüberliegenden Enden der Brücke vorgesehen. Alternativ kann jedoch die Gestaltung derart sein, daß der Siliziumnitridfilm 9 zwischen der Brücke und dem Siliziumsubstrat nicht vollständig entfernt wird und ein gewisser Teil des Siliziumnitridfilms 9 als Stütze für die Brücke zum Verhindern der Senkung derselben zurückgelassen wird. Beispielsweise kann der Siliziumnitridfilm 9 in einer Dicke von ungefähr 10 nm als geeignete Stütze für die Brücke belassen werden.

Als nächstes wird das Verfahren zum Herstellen der Halbleitervorrichtung gemäß dem vierten Ausführungsbeispiel beschrieben.

Wie bei dem Schritt bei dem zweiten Ausführungsbeispiel wird auf dem Siliziumnitridfilm 9 der Kanal-Siliziumfilm 3 gebildet (Fig. 13B, 14B). Bei dem nächsten Schritt für das Entfernen des Siliziumnitridfilms 9 durch die heiße Phosphorsäure wird die Zeitdauer des Eintauchens in Ätzflüssigkeit derart eingestellt, daß sie etwas kürzer als die für das vollständige Entfernen des Siliziumnitridfilms 9 benötigte Zeitdauer ist, wodurch ein Teil des Siliziumnitridfilms 9 zurückbleiben und als Brückenstein 15 wirken kann (Fig. 13C, 14C). Da der Siliziumnitridfilm 9 unterhalb der Brücke von den einander gegenüberliegenden Seiten her geätzt wird, wird die Brückenstein 15 im allgemeinen an der Mitte der Brücke geformt.

Die nachfolgenden Schritte sind die gleichen wie bei dem zweiten Ausführungsbeispiel (Fig. 14D, 14E).

Wie aus der Fig. 13C ersichtlich ist, liegt die sich über die Länge der Brücke, nämlich über die Länge des Kanals seitens des Zwischenraums 10 erstreckende Stütze 15 parallel zu dem durch den Kanal-Siliziumfilm 3 fließenden Strom und es wird daher der Stromfluß durch den Kanal selbst dann nicht schwerwiegend behindert, wenn die Stütze in einem gewissen Teil des Kanal-Siliziumfilms 3 das Bilden des Kanals verhindert.

Das vorstehend beschriebene vierte Ausführungsbeispiel kann auch bei einer Halbleitervorrichtung mit der gleichen Öffnung wie bei dem ersten Ausführungsbeispiel angewandt werden.

Ausführungsbeispiel 5

Bei dem dritten und dem vierten Ausführungsbeispiel wird eine Senkung des brückenförmigen Abschnitts des Kanal-Siliziumfilms 3 durch Abstützen des Brückenabschnitts mit den Rahmenmustern 14 oder der Stütze 15 verhindert. Alternativ kann die Brücke derart geformt werden, daß eine Senkung verhindert ist. Nimmt man an, daß gemäß Fig. 15 die Länge des Kanals L ist, die Höhe der Brücke h ist und die Dicke des Kanal-Siliziumfilms 3 t ist, so kann eine Senkung des Kanal-Siliziumfilms 3 leichter auftreten, wenn die Kanallänge L größer ist.

In Fig. 16 sind verschiedenerlei Versuchsergebnisse dargestellt. Eintragungen A bis C stellen die Ergebnisse dar, die erhalten wurden, wenn die Höhe h der Brücke auf 0,2 µm festgelegt war. Der Eintrag A stellt das Ergebnis bei der Kanallänge L = 1 µm und der Dicke t =

0,06 µm des Kanal-Siliziumfilms 3 dar. Unter diesen Umständen tritt keine Senkung auf. Der Eintrag B stellt das Ergebnis bei der Kanallänge $L = 2 \mu$ und der Kanal-Siliziumfilmdicke $t = 0,06 \mu\text{m}$ dar. Auch unter diesen Bedingungen tritt keine Senkung auf. Der Eintrag C stellt das Ergebnis bei der Kanallänge $L = 8 \mu\text{m}$ und der Dicke $t = 0,06 \mu\text{m}$ des Kanal-Siliziumfilms 3 dar. Unter diesen Bedingungen tritt eine Senkung auf.

Gemäß diesen Versuchsergebnissen tritt eine Senkung auf, wenn bei einer Brückenhöhe h von $0,2 \mu\text{m}$ die Kanallänge L das vierzigfache der Dicke des Kanal-Siliziumfilms 3 oder größer ist. Das heißt, die Senkung tritt auf, wenn die Faktoren in dem Bereich unterhalb einer Grenzlinie liegen, die in Fig. 16 durch eine ausgezogene gerade Linie $t(\mu\text{m}) = L(\mu\text{m})/40$ dargestellt ist, während keine Senkung auftritt, wenn die Faktoren in dem Bereich oberhalb der Grenzlinie liegen. Aus diesen Ergebnissen ist ersichtlich, daß die Kanallänge L auf einen Wert angesetzt werden soll, der nicht größer als das vierzigfache der Dicke t des Kanal-Siliziumfilms 3 ist, d. h. $L \leq 40t$ gewählt werden soll.

In Fig. 16 sind auch durch strichpunktete Linien dargestellte Grenzen gezeigt, an denen die Senkung auftritt, wenn die Brückenhöhe h jeweils $0,1 \mu\text{m}$ bzw. $0,3 \mu\text{m}$ ist.

Falls ein Transistor mit einer großen Kanallänge L benötigt wird, ist es möglich, daß die vorstehend genannte Bedingung nicht erfüllt werden kann. In diesem Fall kann ein Transistor aus drei Transistoren mit den vorstehenden Bedingung genügenden kürzeren Kanallängen $L/3$ gemäß der Darstellung in der Querschnittsansicht in Fig. 17A und der Draufsicht in Fig. 17B gebildet werden. In diesem Fall werden die Gate-Elektroden der drei Transistoren zueinander parallel geschaltet und die drei Transistoren werden durch ein einziges Gate-Signal angesteuert. Die Anzahl von Teiltransistoren ist nicht auf drei beschränkt, sondern kann zwei, vier, fünf usw. sein.

Das vorstehend beschriebene fünfte Ausführungsbeispiel kann auch bei einer Halbleitervorrichtung mit der gleichen Öffnung wie bei dem ersten Ausführungsbeispiel angewandt werden.

Ausführungsbeispiel 6

Bei dem fünften Ausführungsbeispiel wurde die Form der Brücke unter Berücksichtigung des Zusammenhangs zwischen der Kanallänge L und der Kanal-Siliziumfilmdicke t bestimmt. Alternativ kann zum Verhindern der Senkung die Form der Brücke unter Berücksichtigung des Zusammenhangs der Kanallänge L und der Brückenhöhe h bestimmt werden.

Allgemein ist dann, wenn die Brückenhöhe h groß ist, die Wahrscheinlichkeit des Senkens des Kanal-Siliziumfilms 3 bis zur Berührung mit dem ersten Siliziumoxidfilm 2 gering, da der Abstand zwischen den Kanal-Siliziumfilm 3 und dem ersten Siliziumoxidfilm 2 ausreichend groß ist. Solange der Kanal-Siliziumfilm 3 und der erste Siliziumoxidfilm 2 einander nicht berühren, kann die Gate-Elektrode 6 derart ausgebildet werden, daß sie zum Bilden eines GAA-Transistors den Kanal-Siliziumfilm 3 umgibt. Gemäß den in Fig. 16 dargestellten Versuchsergebnissen ist bei einer Kanallänge $L = 4 \mu\text{m}$ und einer Brückenhöhe $h = 0,2 \mu\text{m}$ die Grenze für das Auftreten der Senkung erreicht, wenn die Kanal-Siliziumfilmdicke $t = 0,1 \mu\text{m}$ beträgt. Wenn die Brückenhöhe h größer als $0,2 \mu\text{m}$ ist, tritt keine Senkung auf. Wenn dagegen die Brückenhöhe h geringer als $0,2 \mu\text{m}$ ist, tritt

eine Senkung auf. Infolge dessen sollte die Höhe h der Brücke auf einen Wert angesetzt werden, der gleich $1/20$ der Kanallänge L oder größer ist, d. h. auf $h \geq L/20$.

Das vorstehend beschriebene sechste Ausführungsbeispiel kann auch bei einer Halbleitervorrichtung mit der gleichen Öffnung wie bei dem ersten Ausführungsbeispiel angewandt werden.

Ausführungsbeispiel 7

Bei dem ersten und dem zweiten Ausführungsbeispiel wird der Siliziumnitridfilm 8 bzw. 9 mit heißer Phosphorsäure entfernt. Durch dieses Ätzen wird der Siliziumnitridfilm 9 unter dem Kanal-Siliziumfilm 3 nur in seitlichen Richtungen geätzt. Infolge dessen muß dann, wenn der Siliziumnitridfilm 9 an dieser Stelle vollständig entfernt werden soll, das Ätzen über eine vorgegebene Zeitdauer ausgeführt werden, die entsprechend der Kanalbreite W gewählt wird. Falls jedoch auf einem einzelnen Siliziumsubstrat eine Vielzahl von Transistoren ausgebildet wird, die hinsichtlich der Kanalbreite W über einen beträchtlich weiten Bereich voneinander verschieden sind, besteht die Möglichkeit, daß an den Transistoren mit größeren Kanalbreiten W der Siliziumnitridfilm 9 nicht vollständig entfernt wird. Beispielsweise kann in einem Fall, bei dem gemäß Fig. 18A die Kanalbreite $W = 1 \mu\text{m}$ beträgt, eine Breite t' der Abtragung durch das Ätzen auf höchstens ungefähr $0,5 \mu\text{m}$ angesetzt werden. Andererseits wird bei einer Kanalbreite W von $10 \mu\text{m}$ der Siliziumnitridfilm 9 nicht ausreichend entfernt, wenn die Abtragungsbreite t' ungefähr $0,5 \mu\text{m}$ beträgt.

Dieses Problem kann in der Weise gelöst werden, daß dann, wenn ein Transistor mit einer großen Kanalbreite W benötigt wird, dieser Transistor durch zwei oder mehr Teiltransistoren mit schmaleren Kanalbreiten W gebildet wird.

Beispielsweise kann gemäß der Darstellung in der Querschnittsansicht in Fig. 19A und der Draufsicht in Fig. 19B ein Transistor durch drei Transistoren mit den schmaleren Kanalbreiten $W/3$ unter der Voraussetzung gebildet werden, daß die Kanalbreite $W/3$ gleich derjenigen von (nicht dargestellten) anderen Transistoren ist. Die Source-Elektroden und die Drain-Elektroden dieser drei Transistoren werden jeweils zueinander parallel geschaltet und die drei Transistoren werden durch ein gemeinsames Gate-Signal angesteuert. Die Anzahl der Teiltransistoren ist in diesem Fall nicht auf drei beschränkt, sondern kann 2, 4, 5 usw. sein.

Bei dieser Gestaltung sollte der Abstand zwischen Kanal-Siliziumfilmen 3-1 und 3-2 sowie zwischen Kanal-Siliziumfilmen 3-2 und 3-3 jeweils $0,5 \mu\text{m}$ oder mehr betragen, da der Abstand ausreichend groß sein muß, damit die heiße Phosphorsäure für die Naßätzung hindurchdringen kann.

Das vorstehend beschriebene siebente Ausführungsbeispiel kann auch bei einer Halbleitervorrichtung mit der gleichen Öffnung wie bei dem ersten Ausführungsbeispiel angewandt werden.

Ausführungsbeispiel 8

Das Material für den Kanal-Siliziumfilm 3 ist Polysilizium, das in einem Kristall viele Körner (Kristallkörner) enthält. Daher bestehen infolge der Korngrenzen zwischen den Körnern und infolge von Gitterdefekten Probleme hinsichtlich eines verstärkten Sperrstroms bei dem Ausschaltzustand und eines verringerten Drain-

stroms bei dem Einschaltzustand. Bei dem achten Ausführungsbeispiel ist ein Herstellungsverfahren vorgesehen, bei dem der Kanal-Siliziumfilm 3 in dem Aufbau gemäß dem ersten oder zweiten Ausführungsbeispiel durch thermische Oxidation behandelt wird, um die elektrischen Eigenschaften zu verbessern.

Im einzelnen wird im Falle des ersten Ausführungsbeispiels nach dem in Fig. 2A dargestellten Schritt D, bei dem der Kanal-Siliziumfilm 3 über der Öffnung 4 ausgebildet wird, der Kanal-Siliziumfilm 3 durch thermische Oxidation in einer trockenen O₂-Atmosphäre oder einer feuchten O₂-Atmosphäre bei 700 bis 1000°C behandelt. Im Falle des zweiten Ausführungsbeispiels kann die gleiche Behandlung nach dem in Fig. 6C dargestellten Schritt C vorgenommen werden, bei dem der Kanal-Siliziumfilm 3 brückenförmig gebildet wird.

Durch diese Behandlung wird der brückenförmige Kanal-Siliziumfilm 3 an allen Oberflächen oben, unten, links und rechts der thermischen Oxidation ausgesetzt.

Aus den dadurch oxidierten Bereichen werden Siliziumatome als überschüssiges Silizium freigegeben. In den Gitterdefektbereichen verbindet sich das überschüssige Silizium mit Siliziumatomen, wodurch die Gitterdefekte beseitigt werden. Ferner verbindet sich das überschüssige Silizium an den Korngrenzen zur Verringerung der Gitterdefekte an diesen mit Siliziumatomen, wodurch die Einwirkung der Korngrenzen verringert wird.

Die durch diese thermische Oxidation erzielten Wirkungen hinsichtlich des Verbesserungs der kristallographischen Eigenschaften sind stärker, wenn die Menge an überschüssigem Silizium größer ist. Infolge dessen ist es anzustreben, die thermische Oxidationsbehandlung unter der Bedingung auszuführen, daß gemäß den vorangegangenen Ausführungen der Kanal-Siliziumfilm 3 an den vier Oberflächen freigelegt ist. Daher wird bei dem Herstellungsverfahren gemäß dem achten Ausführungsbeispiel eine vierseitige thermische Oxidationsbehandlung angewandt, um Behandlungswirkungen zu erzielen, die im Vergleich zu der herkömmlichen thermischen Oxidationsbehandlung verstärkt sind, bei der der Siliziumfilm nur an seiner oberen Fläche der thermischen Oxidation unterzogen wird.

Wenn die thermische Oxidation auf diese Weise vorgenommen wird, können damit die kristallographischen und elektrischen Eigenschaften verbessert werden.

Der dabei entstehende thermisch oxidierte Film kann direkt als Gate-Isolierfilm eines Transistors verwendet werden oder für das Erzeugen eines Gate-Isolierfilms beseitigt werden, welcher durch chemisches Bedampfen oder dergleichen gesondert gebildet wird.

Ausführungsbeispiel 9

Bei dem ersten und dem zweiten Ausführungsbeispiel steht gemäß der Darstellung in Fig. 1C und 6B der Kanal-Siliziumfilm 3 in direkter Berührung mit dem als Füllmaterial aufgebrachten Siliziumnitridfilm 8 bzw. 9. Bei diesem Zustand kann der in dem Siliziumnitridfilm enthaltene Stickstoff in den Kanal-Siliziumfilm 3 eindringen und als Donator wirken, der die Stabilität der elektrischen Eigenschaften des Kanal-Siliziumfilms 3 verringern kann. Bei dem neunten Ausführungsbeispiel wird daher ein oxiderter Film zwischen dem Kanal-Siliziumfilm 3 und dem Siliziumnitridfilm 9 gebildet, um die direkte Berührung zwischen diesen Filmen und damit eine solche Beeinträchtigung zu verhindern.

Als nächstes wird ein Beispiel für das Herstellungsverfahren gemäß diesem Ausführungsbeispiel beschrie-

ben. Zur Vereinfachung der Beschreibung wird als Beispiel der Prozeß für das Herstellen des Transistors gemäß dem dritten Ausführungsbeispiel beschrieben.

Zuerst wird auf dem über dem Siliziumsubstrat 1 liegenden ersten Siliziumoxidsfilm 2 der Siliziumnitridfilm 9 gebildet (Fig. 20A). Als nächstes wird der Siliziumoxidsfilm 13 gebildet (Fig. 20B). Danach wird der Siliziumoxidsfilm 13 durch reaktive Ionensetzung zum Bilden der Rahmenmuster 14a und 14b in Form der Seitenwände geätzt, die an den Seitenflächen des Siliziumnitridfilms anliegen (Fig. 20C). Diese Schritte sind die gleichen wie bei dem dritten Ausführungsbeispiel.

Als nächstes wird auf dem ersten Siliziumoxidsfilm 2, dem Siliziumnitridfilm 9 und den Rahmenmustern 14a und 14b durch chemische Bedampfung ein bei dem dritten Ausführungsbeispiel nicht verwendeter Siliziumoxidsfilm 18 in einer Dicke von 20 nm ausgebildet (Fig. 20D), bevor der Kanal-Siliziumfilm 3 aufgebracht wird.

Danach wird auf dem Siliziumoxidsfilm 18 der Kanal-Siliziumfilm 3 gebildet (Fig. 21A). Dann wird durch Ätzung der Siliziumnitridfilm 9 entfernt (Fig. 21B). Ferner wird der in dem Zwischenraum 10 freiliegende Siliziumoxidsfilm 18 mit Fluorwasserstoffsäure beseitigt (Fig. 21C). Darauffolgend werden auf gleiche Weise wie bei dem dritten Ausführungsbeispiel der zweite Siliziumoxidsfilm 5 und die Gate-Elektrode 6 gebildet (Fig. 21D).

Bei dem in Fig. 21C dargestellten Schritt wird der Oxidfilm 18 an dem Brückenausschnitt beseitigt, um das Auftreten von Ungleichförmigkeiten der Dicke des Oxidfilms für das Gate an dem Bereich zu verhindern, an dem ein Kanal gebildet wird. Wenn der Oxidfilm 18 nicht abgetragen wird, ist bei dem Bilden des zweiten Siliziumoxidsfilms 5 gemäß Fig. 21D die Dicke des Oxidfilms seitens des Zwischenraums 10 gleich der Summe aus der Dicke des zweiten Siliziumoxidsfilms 5 und der Dicke des Oxidfilms 18. Andererseits ist die Dicke des Oxidfilms an der von dem Zwischenraum 10 abliegenden Seite durch die Dicke des zweiten Siliziumoxidsfilms 5 bestimmt. Infolge dessen sind die Dicken des Oxidfilms für die Gate-Elektrode 6 an der oberen und unteren Seite des Kanal-Siliziumfilms 3 voneinander verschieden. Bei einem GAA-Transistor ist es anzustreben, daß die Dicke des Oxidfilms klein ist und daß an der oberen und unteren Seite die Kanaleigenschaften gleichförmig sind.

Falls der Siliziumoxidsfilm 18 derart dünn ist, daß Probleme hinsichtlich der Transistoreigenschaften vermieden sind, kann der in Fig. 21C dargestellte Schritt zum Entfernen des Siliziumoxidsfilms 18 entfallen.

Ausführungsbeispiel 10

Bei dem ersten und dem zweiten Ausführungsbeispiel ist die Geschwindigkeit, mit der der Siliziumnitridfilm 8 bzw. 9 mit der heißen Phosphorsäure entfernt wird, mit ungefähr 5 nm je Minute sehr gering. Für dieses Ätzen ist daher eine lange Behandlungszeit erforderlich. Falls beispielsweise die Gate-Breite W des Transistors 0,6 µm ist, wird für das Ätzen eine Zeit von ungefähr 120 Minuten benötigt.

Der bei dem Schritt B bei dem ersten Ausführungsbeispiel oder dem Schritt A bei dem zweiten Ausführungsbeispiel gebildete Siliziumnitridfilm wird bei dem zehnten Ausführungsbeispiel durch chemische Plasma-Dampfablagerung statt durch chemische Niederdruck-Dampfablagerung gebildet, wodurch die Ätzdauer ver-

kürzt wird. Die Dichte des durch die chemische Plasma-Dampfablagerung aufgebrachten Siliziumnitridfilms ist derart gering, daß die Geschwindigkeit, mit der dieser Siliziumnitridfilm durch heiße Phosphorsäure geätzt wird, um 50% oder mehr höher ist als die Geschwindigkeit, mit der der Siliziumnitridfilm geätzt wird, der durch chemische Niederdruck-Dampfablagerung aufgebracht wird. Infolge dessen kann die für das Entfernen des Siliziumnitridfilms 8 oder 9 bei dem ersten oder zweiten Ausführungsbeispiel benötigte Zeit auf die Hälfte verkürzt werden.

Ausführungsbeispiel 11.

Bei den in Fig. 6A bis 6D dargestellten Schritten bei dem zweiten Ausführungsbeispiel kann der als Unterlage vorgesehene erste Siliziumoxidfilm 2 durch einen Siliziumnitridfilm ersetzt werden, der durch chemische Niederdruck-Bedämpfung gebildet wird, während der Siliziumnitridfilm 9 durch einen Siliziumoxidfilm ersetzt werden kann, der durch chemische Niederdruck-Bedämpfung gebildet wird. Da der Siliziumoxidfilm mit Fluorwasserstoffsäure geätzt werden kann, kann die Brücke mit dieser geformt werden. In diesem Fall kann die Brücke in kurzer Zeit geformt werden, da der Siliziumoxidfilm mit einer hohen Geschwindigkeit von 50 bis 600 nm je Minute weggeätzt werden kann.

Zum Erzielen der gleichen Wirkung kann bei den in Fig. 1A bis 1C dargestellten Schritten bei dem ersten Ausführungsbeispiel der als Unterlage vorgesehene erste Siliziumoxidfilm 2 durch einen Siliziumnitridfilm ersetzt werden, welcher durch chemische Niederdruck-Bedämpfung gebildet wird, während der Siliziumnitridfilm 8 durch einen Siliziumoxidfilm ersetzt werden kann, der durch chemische Niederdruck-Bedämpfung gebildet wird.

Ausführungsbeispiel 12

Bei den in Fig. 6A bis 6D dargestellten Schritten bei dem zweiten Ausführungsbeispiel kann anstelle des Siliziumnitridfilms 9 ein Fremdstoff enthaltender Film aus Borsilikatglas (BSG), Phosphorsilikatglas (PSG) oder dergleichen verwendet werden, während als Unterlage der gleiche erste Siliziumoxidfilm 2 verwendet wird. Der BSG-Film ist ein Siliziumoxidfilm, der Bor enthält, und der PSG-Film ist ein Siliziumoxidfilm, der Phosphor enthält. Der BSG-Film oder der PSG-Film wird durch chemische Dampfablagerung gebildet und mit Fluorwasserstoffsäure geätzt. Die Geschwindigkeit, mit der ein jeweiliger dieser Filme geätzt wird, ist mindestens das zweifache der Geschwindigkeit, mit der der andere Siliziumoxidfilm geätzt wird. Darüberhinaus kann durch dieses Ätzen der BSG-Film oder der PSG-Film selektiv beseitigt werden. Das Selektivitätsverhältnis zwischen dem BSG-Film und dem anderen Siliziumoxidfilm beträgt ungefähr 40.

Infolge dessen kann gemäß diesem zwölften Ausführungsbeispiel die zum Entfernen des Siliziumnitridfilms 9 gemäß dem zweiten Ausführungsbeispiel benötigte Zeit auf die Hälfte verkürzt werden. Zum Erzielen der gleichen Wirkung kann bei den in Fig. 1A bis 1C dargestellten Schritten bei dem ersten Ausführungsbeispiel der Siliziumnitridfilm 8 durch den BSG-Film oder den PSG-Film ersetzt werden.

Ausführungsbeispiel 13

Bei dem ersten und dem zweiten Ausführungsbeispiel wird der Gate-Siliziumfilm gebildet; nachdem der Kanal-Siliziumfilm gebildet worden ist. Diese Reihenfolge kann jedoch umgekehrt werden, so daß der Kanal-Siliziumfilm nach dem Gate-Siliziumfilm gebildet werden kann.

Das Verfahren zum Herstellen des Transistors gemäß diesem dreizehnten Ausführungsbeispiel wird unter Bezugnahme auf Fig. 22A bis 22E beschrieben, die den Fig. 8A bis 8E bei dem zweiten Ausführungsbeispiel gleichartig sind.

Auf dem über dem Siliziumsubstrat 1 liegenden ersten Siliziumoxidfilm 2 wird der Siliziumnitridfilm 9 gebildet (Fig. 22A). Danach wird auf den Siliziumnitridfilm 9 Polysilizium zum Formen der Gate-Elektrode 6 aufgebracht (Fig. 22B). Als nächstes wird der Siliziumnitridfilm 9 durch Ätzen entfernt, um die Brücke der Gate-Elektrode 6 zu formen (Fig. 22C).

Darauffolgend wird wie im Falle des zweiten Ausführungsbeispiels auf der Oberfläche der Siliziumoxidfilm 5 gebildet (Fig. 22D). Danach wird der Kanal-Siliziumfilm 3 derart ausgebildet, daß er die Gate-Elektrode 6 überdeckt (Fig. 22E).

Somit besteht das Verfahren bei diesem Ausführungsbeispiel darin, daß bei der Gestaltung gemäß dem zweiten Ausführungsbeispiel der Kanal-Siliziumfilm 3 und der Gate-Siliziumfilm 6 gegeneinander ausgewechselt werden. Bei dem auf diese Weise entstehenden Aufbau des Transistors gemäß diesem Ausführungsbeispiel ist der Kanal-Siliziumfilm 3 um den Polysiliziumfilm der Gate-Elektrode 6 gelegt. In dem Transistor gemäß diesem Ausführungsbeispiel fließt ein Strom über die ganze Querschnittsfläche des Kanal-Siliziumfilms 3, so daß nicht die Wirkung des Transistors gemäß dem zweiten Ausführungsbeispiel hinsichtlich des Erzielens einer doppelt so großen Kanalleitfähigkeit wie bei dem gewöhnlichen Transistor erzielt werden kann. Es werden jedoch jeweils an der oberen und unteren Seite der Gate-Elektrode 6 Kanalflächen gebildet und zwischen der Source und dem Drain werden zwei Kanäle gebildet, wodurch die Stromsteuerfähigkeit verdoppelt wird.

Als Beispiel wurde das Herstellungsverfahren gemäß dem zweiten Ausführungsbeispiel beschrieben. Das gleiche Konzept kann jedoch auch bei dem Herstellungsverfahren gemäß dem ersten Ausführungsbeispiel angewandt werden.

Ausführungsbeispiel 14

Bei den herkömmlichen Dünnschichttransistoren ist die Dicke des Kanal-Siliziumfilms durch die Dicke des durch chemische Dampfablagerung aufgebrachten Polysiliziums bestimmt und die Dicke allein des Kanalabschnitts kann nicht vergrößert werden. Bei dem vierzehnten Ausführungsbeispiel ist es möglich, gemäß dem Herstellungsverfahren bei dem dreizehnten Ausführungsbeispiel allein die Dicke des Kanalabschnitts zu vergrößern.

Der Dünnschichttransistor (TFT) gemäß diesem Ausführungsbeispiel ist dadurch gekennzeichnet, daß gemäß der Darstellung in Fig. 23 die Höhe t_2 der als Brücke geformten Gate-Elektrode 6 gleich dem doppelten der Dicke t_1 des Kanal-Siliziumfilms 3 oder kleiner ist.

Wenn die Höhe t_2 der Gate-Elektrode 6 und die Dicke t_1 des Kanal-Siliziumfilms 3 derart gewählt werden, daß die Bedingung $t_2 \leq t_1$ erfüllt ist, entsteht ein Dünnschichttransistor.

filmtransistor mit dem in Fig. 23 dargestellten Aufbau. Dieser Prozeß wird unter Bezugnahme auf Fig. 25A bis 25C beschrieben.

Es wird hierbei angenommen, daß die Höhe t_2 der Brücke der Gate-Elektrode 6 doppelt so groß wie die Dicke t_1 des danach aufgebrachten Kanal-Siliziumfilms 3 ist (Fig. 25A). Bei dem Schritt zum Aufbringen des Kanal-Siliziumfilms 3 durch chemische Dampfablagerung wird der Kanal-Siliziumfilm 3 auf den zweiten Siliziumoxidfilm 5 aufgebracht, der auf dem Siliziumsubstrat 1 liegt und der die Gate-Elektrode 6 vollständig umfaßt (Fig. 24B). Während der Fortdauer dieses Prozesses zum Ablagern des Kanal-Siliziumfilms wird die Dicke des Kanal-Siliziumfilms 3 allmählich größer (Fig. 25C). Aus diesen Figuren ist ersichtlich, daß durch den Kanal-Siliziumfilm 3, der auf die untere Fläche der Gate-Elektrode 6 aufgebracht wird, und den Kanal-Siliziumfilm 3, der auf das Siliziumsubstrat 1 aufgebracht wird, der Zwischenraum 10 geschlossen wird. Infolge dessen ist in dem Zwischenraum 10 die Zuwachs geschwindigkeit des Kanal-Siliziumfilms 3 ungefähr doppelt so hoch wie die Zuwachs geschwindigkeit an dem Substrat 1 oder die Zuwachs geschwindigkeit an der oberen Fläche der Gate-Elektrode 6. Aus diesem Grund kann selbst dann, wenn die Höhe der Gate-Elektrode 6 das Doppelte der Dicke des Kanal-Siliziumfilms 3 ist, der Zwischenraum 10 ohne eine Lücke mit dem Kanal-Siliziumfilm 3 gefüllt werden.

Im allgemeinen wird die Korngröße des Polysiliziumfilms umso größer, je größer die Dicke des Polysiliziumfilms wird (Fig. 24). Daher ist in dem zwischen dem Siliziumsubstrat 1 und der Gate-Elektrode 6 liegenden Teil des Kanal-Siliziumfilms 3, in dem ein Kanal gebildet wird, die Größe der Körner größer, als diejenige der Körner in den anderen Teilen, so daß der Drainstrom des eingeschalteten Transistors erhöht werden kann, da in dem Dünnsiliziumtransistor gemäß dem vierzehnten Ausführungsbeispiel der Kanal-Siliziumfilm zwischen dem Siliziumsubstrat 1 und der Gate-Elektrode 6 dicker ist. Der Drainstrom bei abgeschaltetem Transistor wird an dem Drain-Ende erzeugt und dessen Stärke ist durch das Volumen des Stromerzeugungsteiles bestimmt. Daher steht der Drainstrom bei abgeschaltetem Transistor mit der Dicke t_1 des Kanal-Siliziumfilms 3 und nicht mit der Dicke t_2 des Kanalabschnitts in Zusammenhang. Infolge dessen ist der Drainstrom bei abgeschaltetem Transistor nicht erhöht.

Da ferner die Filmdicke t_1 des Kanal-Siliziumfilms 3 die Hälfte der Filmdicke t_2 an dem Kanalabschnitt ist, kann im Vergleich zu dem Fall, daß der Kanal-Siliziumfilm 3 über der ganzen Fläche in der Dicke t_2 ausgebildet wird, das Ätzen leichter ausgeführt werden, so daß die Musterbildung des Kanal-Siliziumfilms 3 leichter wird.

Wenn die Höhe t_2 der Brücke der Gate-Elektrode 6 einen Wert übersteigt, der doppelt so groß wie die Dicke t_1 des Kanal-Siliziumfilms 3 ist, wird unter der Brücke durch den Kanal-Siliziumfilm der Zwischenraum 10 nicht vollständig geschlossen und es entsteht darin ein Spalt.

Gemäß der vorstehenden Beschreibung ist der nach dem Verfahren gemäß dem vierzehnten Ausführungsbeispiel hergestellte Transistor dadurch vorteilhaft, daß der Drainstrom bei dem Einschaltzustand erhöht ist, während der Drainstrom bei dem Ausschaltzustand begrenzt ist, und daß die Eignung zur Musterbildung verbessert ist.

Ausführungsbeispiel 15

Die Struktur der Transistoren gemäß dem dreizehnten und vierzehnten Ausführungsbeispiel, die durch den Prozeß zum Bilden der Gate-Elektrode vor dem Bilden des Kanal-Siliziumfilms hergestellt werden, ist keine GAA-Struktur. Bei dem Verfahren zum Herstellen des Transistors gemäß dem fünfzehnten Ausführungsbeispiel wird ein Prozeß zum Bilden einer Gate-Elektrode vor dem Bilden des Kanal-Siliziumfilms angewandt, aber das Bilden von Teilen der Gate-Elektrode über und unter den Kanal-Siliziumfilm ermöglicht.

Fig. 26A bis 26C und Fig. 27A bis 27C sind perspektivische Darstellungen der Struktur der Halbleitervorrichtung gemäß diesem Ausführungsbeispiel bzw. des Verfahrens zum Herstellen der Halbleitervorrichtung. Fig. 28A bis 28D und Fig. 29A bis 29D sind Querschnittsansichten entlang einer Linie A-A' der Vorrichtung gemäß Fig. 26A bis 26C und Fig. 27A bis 27C. In diesen Figuren sind eine durch Auflagerung auf den an dem Siliziumsubstrat 1 erzeugten ersten Siliziumoxidfilm 2 gebildeter erste Gate-Siliziumfilm 22, ein durch Auflagerung auf den Siliziumnitridfilm 9 und dem ersten Gate-Siliziumfilm 22 gebildeter zweiter Gate-Siliziumfilm 23 und ein Resistfilm 24 gezeigt, der dazu dient, den ersten und den zweiten Gate-Siliziumfilm 22 und 23 zu einer Gate-Elektrode zu formen.

Es wird nun das Herstellungsverfahren beschrieben.

Schritt A

Auf dem Siliziumsubstrat 1 wird beispielsweise durch thermische Oxidation der Siliziumoxidfilm 2 in einer Dicke von ungefähr 100 nm ausgebildet. Auf die Oberfläche des Siliziumoxidfilms 2 wird durch chemische Niederdruck-Dampfablagerung (bei 600 bis 700°C) in einer Dicke von beispielsweise 150 nm der erste Gate-Siliziumfilm 22 aufgebracht, dem Phosphor hinzugefügt ist. Ferner wird durch chemische Niederdruck-Dampfablagerung (bei 600 bis 700°C) in einer Dicke von beispielsweise 200 nm der Siliziumnitridfilm 9 aufgebracht.

Als nächstes wird der Siliziumnitridfilm 9 zu einem Linienmuster entsprechend der Kanallänge des Transistors geformt (Fig. 26A, 28A).

Schritt B

Durch chemische Niederdruck-Dampfablagerung wird in einer Dicke von beispielsweise ungefähr 100 nm der zweite Gate-Siliziumfilm 23 aufgebracht, dem Phosphor hinzugefügt ist (Schritt 26B, 28B).

Schritt C

Auf die Oberfläche wird ein Resist zum Bilden eines Resistfilms 24 aufgetragen. Danach wird der Resistfilm 24 entsprechend dem Muster einer aktiven Schicht des zu erzeugenden Transistors geformt. Dann wird derart geätzt, daß der zweite Gate-Siliziumfilm 23 das gleiche Muster wie das Resistmuster erhält (Fig. 26C, 28C). Bei dem in Fig. 26C dargestellten Schritt wird nur der zweite Gate-Siliziumfilm 23 geätzt. Es kann jedoch auch gleichzeitig ein Teil des ersten Gate-Siliziumfilms 22 unter dem zweiten Gate-Siliziumfilm 23 geätzt werden.

Schritt D

Als nächstes wird der Siliziumnitridfilm 9 durch Tau-

chen in eine Phosphorsäurelösung bei einer Temperatur von ungefähr 150°C vollständig entfernt; während das Resistmuster 24 zurückbleibt. Dadurch wird zwischen dem ersten Gate-Siliziumfilm 22 und dem zweiten Gate-Siliziumfilm 23 ein Zwischenraum 10 gebildet, wobei der zweite Gate-Siliziumfilm 23 Brückenform hat (Fig. 27A, 28D).

Schritt E

Durch Plasma-Polysiliziumätzung wird der erste Gate-Siliziumfilm 22 zu einem Muster entsprechend dem zu erzeugenden Transistor geformt, wobei das Resistmuster 24 als Maske dient. Danach wird durch Sauerstoffplasma das Resist 24 vollständig entfernt (Fig. 27B, 29A).

Schritt F

Auf der ganzen Oberfläche wird durch chemische Niederdruck-Dampfablagerung (bei 400 bis 900°C) der als Gate-Isolierfilm dienende zweite Siliziumoxidfilm 5 in einer vorbestimmten Dicke (von z. B. 20 nm) abgelagert. Dadurch wird der zweite Siliziumoxidfilm 5 auf dem ersten Gate-Siliziumfilm 22 und um den Zwischenraum 10 herum sowie auch auf dem ersten Siliziumoxidfilm 2 gebildet (Fig. 29B).

Danach wird auf die ganze Oberfläche des zweiten Siliziumoxidfilms 5 in einer vorbestimmten Dicke (von z. B. 200 nm) der Kanal-Siliziumfilm 3 aufgebracht. Dabei wird der Zwischenraum 10 unter dem brückenförmigen Abschnitt des zweiten Gate-Siliziumfilms 23 mit dem Kanal-Siliziumfilm 3 ausgefüllt (Fig. 29C).

Der aufgelagerte Kanal-Siliziumfilm 3 wird durch Photolithographie zu einem gewünschten Muster geformt (Fig. 27C, 29D). In einem nachfolgenden Schritt werden zum Bilden des Source-Abschnittes und des Drain-Abschnittes des Transistors Arsenionen injiziert. Bei dem Herstellungsverfahren gemäß diesem Ausführungsbeispiel wird bei der Ionenimplantation für das Formen der Source und des Drain zuerst ein als Maske verwendetes Resistmuster gebildet und danach werden die Arsenionen implantiert, da anders als die Gate-Elektrode bei dem zweiten Ausführungsbeispiel die Gate-Elektroden 22 und 23 nicht als Maske verwendet werden können.

Bei diesem Ausführungsbeispiel kann der Siliziumnitridfilm 9 durch einen durch chemische Bedämpfung gebildeten Siliziumoxidfilm ersetzt werden. Der Siliziumoxidfilm kann mit Fluorwasserstoffsäure mit einer hohen Ätzgeschwindigkeit entfernt werden, wodurch die Verarbeitung erleichtert wird.

Der nach dem Verfahren gemäß diesem Ausführungsbeispiel hergestellte Transistor hat insgesamt drei Kanaloberflächen. In dem zwischen den ersten Gate-Siliziumfilm 22 und den zweiten Gate-Siliziumfilm 23 eingeschichteten Kanal-Siliziumfilm 3 werden Kanäle jeweils an der oberen und der unteren Seite gebildet. In dem über dem zweiten Gate-Siliziumfilm 23 liegenden Kanal-Siliziumfilm 3 wird seitens der Gate-Elektrode ein Kanal gebildet. Somit hat der nach dem Herstellungsverfahren gemäß diesem Ausführungsbeispiel hergestellte Transistor an drei Oberflächen gebildete Kanäle und daher eine sehr hohe Stromsteuerfähigkeit. Mit dem Herstellungsverfahren gemäß diesem Ausführungsbeispiel kann eine GAA-Struktur durch einen Prozeß erhalten werden, bei dem der Kanal-Siliziumfilm 3 nach den Gate-Siliziumfilmen 22 und 23 gebildet wird.

Ausführungsbeispiel 16

Der Transistor gemäß dem fünfzehnten Ausführungsbeispiel hat einen aus zwei Schichten 3a und 3b bestehenden Kanal-Siliziumfilm. Es kann jedoch ein Kanal-Siliziumfilm mit mehreren weiteren Schichten, z. B. 3, 4 oder mehr Schichten hergestellt werden.

Die Fig. 30 ist eine Querschnittsansicht eines Transistors mit einem Kanal-Siliziumfilm 3 aus fünf Schichten. Gemäß Fig. 30 ist: auf dem Siliziumsubstrat 1 ein erster Siliziumoxidfilm 2 ausgebildet, auf den aufeinanderfolgend der erste und der zweite Gate-Siliziumfilm 22 und 23 sowie ein dritter bis fünfter Gate-Siliziumfilm 25 bis 27 übereinander aufgeschichtet sind. Zwischen dem ersten Gate-Siliziumfilm 22 und dem zweiten Gate-Siliziumfilm 23 ist ein Kanal-Siliziumfilm 3a gebildet, zwischen dem zweiten Gate-Siliziumfilm 23 und dem dritten Gate-Siliziumfilm 25 ist ein Kanal-Siliziumfilm 3b gebildet, zwischen dem dritten Gate-Siliziumfilm 25 und dem vierten Gate-Siliziumfilm 26 ist ein Kanal-Siliziumfilm 3c gebildet und zwischen dem vierten Gate-Siliziumfilm 26 und dem fünften Gate-Siliziumfilm 27 ist ein Kanal-Siliziumfilm 3d gebildet. Ferner ist über dem fünften Gate-Siliziumfilm 27 ein Kanal-Siliziumfilm 3e gebildet.

In dem in Fig. 30 dargestellten Transistor sind an den einander gegenüberliegenden Seiten des Kanal-Siliziumfilms 3a durch den ersten Gate-Siliziumfilm 22 und den zweiten Gate-Siliziumfilm 23 Kanaloberflächen gebildet. Gleichermaßen sind an den einander gegenüberliegenden Seiten der jeweiligen Kanal-Siliziumfilme 3b bis 3d Kanaloberflächen gebildet. An der unteren Seite des Kanal-Siliziumfilms 3e ist eine Kanaloberfläche gebildet. Demzufolge hat der in Fig. 30 dargestellte Transistor neun Kanaloberflächen und dadurch eine beträchtlich verbesserte Stromsteuerfähigkeit.

Es wird das Verfahren zum Herstellen des in Fig. 30 dargestellten Transistors beschrieben. Zum Übereinanderliegen der mehreren Schichten von Gate-Siliziumfilmen und Siliziumnitridfilmen werden in einer bestimmten Anzahl die Prozeßschritte gemäß dem fünfzehnten Ausführungsbeispiel wiederholt. Danach werden der Vorgang zur Musterformung und der Vorgang zum Entfernen des Siliziumnitridfilms von dem obersten Gate-Siliziumfilm an wiederholt, um ein Gebilde zu erhalten, in welchem mehrere Schichten von brückenförmigen Gate-Siliziumfilmen übereinander liegen. Danach werden wie im Falle des fünfzehnten Ausführungsbeispiels aufeinanderfolgend die Gate-Isolierfilme und die Kanal-Siliziumfilme aufgebracht. Auf diese Weise kann ein Transistor gemäß Fig. 30 erzeugt werden, in dem fünf Kanal-Siliziumfilme übereinander gesetzt sind.

Auf gleiche Weise können auch andere Gebilde erzielt werden, in denen Kanal-Siliziumfilme in einer größeren Anzahl übereinander liegen.

Es wird eine Halbleiterrichtung mit mindestens einem Transistor beschrieben, der ein Kanalelement, das unter Bildung eines Zwischenraums zwischen dem Kanalelement und einem Halbleitersubstrat geformt ist, auf dem ein Isolierfilm ausgebildet ist, und eine Steuerelektrode aufweist, die auf dem Kanalelement und in dem Zwischenraum derart gebildet ist, daß das Kanalelement überdeckt ist. Die Steuerelektrode wirkt derart, daß an jeder der beiden Oberflächen des Kanalelements ein Kanal gebildet wird. Das Kanalelement besteht aus einem polykristallinen Halbleiter.

Patentansprüche

1. Halbleitervorrichtung mit einem Transistor, gekennzeichnet durch ein Kanalelement (3) aus einem polykristallinen Halbleiter, das unter Bildung eines Zwischenraums (10) zwischen dem Kanalelement und einem Substrat (1) geformt ist, auf dem ein Isolierfilm (2) gebildet ist, und eine Steuerelektrode (6), die zum Überdecken des Kanalelements geformt ist, wobei die Steuerelektrode dazu geeignet ist, in jeder der beiden Oberflächen des Kanalelements einen Kanal zu bilden.
2. Halbleitervorrichtung nach Anspruch 1, gekennzeichnet durch ein Stützelement (14; 15) zum Abschützen des Kanalelements (3), wobei das Stützelement derart zwischen dem Substrat (1) und dem Kanalelement angebracht ist, daß ein Stromfluß durch den Kanal nicht behindert ist.
3. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Länge (L) des in dem Kanalelement (3) gebildeten Kanals entsprechend der Dicke (t) des Kanalelements derart begrenzt ist, daß das Kanalelement nicht mit dem Substrat (1) in Berührung kommt.
4. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Länge (L) des in dem Kanalelement (3) gebildeten Kanals entsprechend dem Abstand (h) zwischen dem Substrat (1) und dem Kanalelement derart begrenzt ist, daß das Kanalelement nicht mit dem Substrat in Berührung kommt.
5. Halbleitervorrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Steuerelektrode (6) aus einer Vielzahl von Steuerelektrodenteilen (6-1 bis 6-3) gebildet ist, die jeweils verschiedene Teile des Kanalelements (3) abdecken.
6. Halbleitervorrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß das Kanalelement (3) aus einer Vielzahl von Kanalelementteilen (3-1 bis 3-3) gebildet ist, die jeweils von verschiedenen Teilen der Steuerelektrode (6) abgedeckt sind.
7. Halbleitervorrichtung mit einer Vielzahl von Transistoren, gekennzeichnet durch Kanalelemente (3) mit im wesentlichen gleichen Breiten (W), wobei zwischen jedem der Kanalelemente und einem Substrat (1), auf dem ein Isolierfilm (2) gebildet ist, ein Zwischenraum (10) gebildet ist, und Steuerelektroden (6), die jeweils zum Abdecken der Kanalelemente geformt sind, wobei jede Steuerelektrode dazu geeignet ist, in jeder der beiden Oberflächen der entsprechenden Kanalelemente einen Kanal zu bilden.
8. Halbleitervorrichtung mit einem Transistor, gekennzeichnet durch ein Substrat (1), auf dem ein Isolierfilm (2) gebildet ist, eine an dem Substrat ausgebildete Öffnung (4; 32), ein Kanalelement (3) aus einem polykristallinen Halbleiter, das zum Überspannen der Öffnung geformt ist, und eine Steuerelektrode (6), die zum Überdecken des Kanalelements unter Eingriff in die Öffnung geformt ist, wobei die Steuerelektrode dazu geeignet ist, in jeder der beiden Oberflächen des Kanale-

ments einen Kanal zu bilden.

9. Halbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die Größe der Öffnung (32) innerhalb des Bereichs eines Öffnungsgrenzwertes (D) eines Resist (16) liegt.
10. Halbleitervorrichtung mit einem Transistor, gekennzeichnet durch ein Kanalelement (3), das aus einem polykristallinen Halbleiter besteht und das einen Abschnitt hat, der durch Biegen derart zu einer Brücke geformt ist, daß zwischen dem Kanalelement und einem Substrat (1), auf dem ein Isolierfilm (2) ausgebildet ist, ein Zwischenraum (10) gebildet ist, und eine Steuerelektrode (6), die zum Überdecken des Kanalelements geformt ist, wobei die Steuerelektrode dazu geeignet ist, in jeder der beiden Oberflächen des Kanalelements einen Kanal zu bilden.
11. Halbleitervorrichtung nach Anspruch 10, gekennzeichnet durch ein an jedem gebogenen Abschnitt des Kanalelements 3 angebrachtes Abstandselement (14a, 14b) zum Beibehalten eines Abstands zwischen dem Substrat (1) und dem Kanalelement.
12. Halbleitervorrichtung mit einem Transistor, gekennzeichnet durch eine Steuerelektrode (6), die unter Bildung eines Zwischenraums zwischen der Steuerelektrode und einem Substrat (1) geformt ist, auf dem ein Isolierfilm (2) gebildet ist, und ein Kanalelement (3), das nach einem Dünnfilmformungsverfahren zum Überdecken der Steuerelektrode geformt ist, wobei das Kanalelement eine Vielzahl von durch die Steuerelektrode gebildeten Kanälen hat und aus einem polykristallinen Halbleiter hergestellt ist.
13. Halbleitervorrichtung nach Anspruch 12, dadurch gekennzeichnet, daß den Abstand (t₂) zwischen dem Substrat (1) und der Steuerelektrode (6) größer als die Dicke (t₁) des Kanalelements (3) sowie derart eingestellt ist, daß bei dem Formen des Kanalelements kein Spalt dazwischen entsteht.
14. Halbleitervorrichtung mit einem Transistor, gekennzeichnet durch eine erste Steuerelektrode (22), die auf einem Halbleitersubstrat (1) geformt ist, auf dem ein Isolierfilm (2) gebildet wurde, eine zweite Steuerelektrode (23), die auf der ersten Steuerelektrode mit einem dazwischen gebildeten Zwischenraum (10) geformt ist, und ein Kanalelement (3), das nach einem Dünnfilmformungsverfahren derart geformt ist, daß die zweite Steuerelektrode überdeckt ist, wobei mit der ersten und der zweiten Steuerelektrode an den einander gegenüberliegenden Oberflächen des Kanalelements Kanäle gebildet werden können und die zweite Steuerelektrode in dem Kanalelement über der zweiten Steuerelektrode einen Kanal bilden kann.
15. Halbleitervorrichtung, gekennzeichnet durch einen Transistor, der durch abwechselndes Übereinanderschichten einer Vielzahl von Steuerelektroden (22 bis 27) und einer Vielzahl von Kanalelementen (3a bis 3d) auf ein Substrat (1) gebildet ist, auf dem ein Isolierfilm (2) gebildet wurde, wobei die Steuerelektroden jeweils Kanäle in den einander gegenüberliegenden Oberflächen der zwischen den Steuerelektroden eingefassten Kanalelemente bilden.

16. Verfahren zum Herstellen einer Halbleitervorrichtung, dadurch gekennzeichnet, daß
in einem ersten Schritt auf einem Substrat ein Isolierfilm gebildet wird,
in einem zweiten Schritt in dem Isolierfilm durch
anisotropes Ätzen eine Öffnung gebildet wird,
in einem dritten Schritt in die Öffnung ein Füllmaterial eingebracht wird,
in einem vierten Schritt über dem Isolierfilm und
dem Füllmaterial nach einem Dünnsfilmformungsverfahren
ein Kanalelement gebildet wird,
in einem fünften Schritt das Füllmaterial entfernt
wird, um in der Öffnung einen Spalt zu bilden, und
in einem sechsten Schritt an dem Kanalelement und
in dem Spalt ein Dünnsfilm zum Überdecken des
Kanalelements gebildet wird, der für einen Transistor
als Steuerelektrode dient, die an den einander
gegenüberliegenden Seiten des Kanalelements Kanäle bildet.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß in einem Schritt nach dem fünften Schritt das Kanalelement einer Wärmebehandlung zum Bilden eines Oxidfilms auf der Oberfläche des Kanalelements unterzogen wird.

18. Verfahren nach Anspruch 16 oder 17, dadurch gekennzeichnet, daß in einem Schritt nach dem dritten Schritt auf dem Füllmaterial ein Oxidfilm gebildet wird.

19. Verfahren nach einem der Ansprüche 16 bis 18, dadurch gekennzeichnet, daß bei dem dritten Schritt zum Bilden des Füllmaterials in der Öffnung durch chemische Plasma-Dampfablagerung ein Siliziumnitridfilm abgelagert wird.

20. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß bei dem ersten Schritt zum Bilden des Isolierfilms an dem Substrat durch chemische Dampfablagerung ein Siliziumnitridfilm abgelagert wird und daß bei dem dritten Schritt zum Bilden des Füllmaterials in der Öffnung durch chemische Dampfablagerung ein Siliziumoxidfilm abgelagert wird.

21. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß bei dem dritten Schritt zum Bilden des Füllmaterials in der Öffnung durch chemische Dampfablagerung ein Siliziumoxidfilm abgelagert wird, der mindestens einen Fremdstoff enthält.

22. Verfahren zum Herstellen einer Halbleitervorrichtung, dadurch gekennzeichnet, daß
in einem ersten Schritt auf einem Substrat ein Isolierfilm gebildet wird,

in einem zweiten Schritt über dem Isolierfilm ein Füllmuster gebildet wird,

in einem dritten Schritt über dem Isolierfilm und dem Füllmuster nach einem Dünnsfilmformungsverfahren ein Kanalelement gebildet wird,

in einem vierten Schritt das Füllmuster entfernt wird, um zwischen dem Kanalelement und dem Isolierfilm einen Zwischenraum zu bilden und

in einem fünften Schritt auf dem Kanalelement und in dem Zwischenraum ein Dünnsfilm zum Überdecken des Kanalelements gebildet wird, der als Steuerelektrode eines Transistors für das Bilden von Kanälen an den einander gegenüberliegenden Seiten des Kanalelements dient.

23. Verfahren nach Anspruch 22, dadurch gekennzeichnet, daß in einem Schritt nach dem vierten Schritt das Kanalelement einer Wärmebehandlung zum Bilden eines Oxidfilms auf der Oberfläche des

Kanalelements unterzogen wird.

24. Verfahren nach Anspruch 22 oder 23, dadurch gekennzeichnet, daß in einem Schritt nach dem zweiten Schritt ein Oxidfilm des Füllmusters gebildet wird.

25. Verfahren nach einem der Ansprüche 22 bis 24, dadurch gekennzeichnet, daß bei dem zweiten Schritt zum Bilden des Füllmusters auf dem Isolierfilm durch chemische Plasma-Dampfablagerung ein Siliziumnitridfilm abgelagert wird.

26. Verfahren nach einem der Ansprüche 22 bis 25, dadurch gekennzeichnet, daß bei dem ersten Schritt zum Bilden des Isolierfilms auf dem Substrat durch chemische Dampfablagerung ein Siliziumnitridfilm abgelagert wird und daß bei dem zweiten Schritt zum Bilden des Füllmusters auf dem Isolierfilm durch chemische Dampfablagerung ein Siliziumoxidfilm abgelagert wird.

27. Verfahren nach einem der Ansprüche 22 bis 26, dadurch gekennzeichnet, daß bei dem zweiten Schritt zum Bilden des Füllmusters auf dem Isolierfilm durch chemische Dampfablagerung ein Siliziumoxidfilm abgelagert wird, der zumindest einen Fremdstoff enthält.

28. Verfahren zum Herstellen einer Halbleitervorrichtung, dadurch gekennzeichnet, daß
in einem ersten Schritt auf auf einem Substrat gebildeten Isolierfilm eine erste Steuerelektrode gebildet wird,
in einem zweiten Schritt über der ersten Steuerelektrode ein Füllmuster gebildet wird,
in einem dritten Schritt über der ersten Steuerelektrode und dem Füllmuster eine zweite Steuerelektrode gebildet wird,
in einem vierten Schritt das Füllmuster entfernt wird, um zwischen der ersten und der zweiten Steuerelektrode einen Zwischenraum zu bilden, und
in einem fünften Schritt auf der zweiten Steuerelektrode und in dem Zwischenraum ein Kanalelement zum Überdecken der zweiten Steuerelektrode gebildet wird.

Hierzu 30 Seite(n) Zeichnungen

ZEICHNUNGEN SEITE 30

Nummer: DE 44 33 086 C2
 Int. Cl. 6: H 01 L 29/786
 Veröffentlichungstag: 27. Juni 1996

FIG. 33

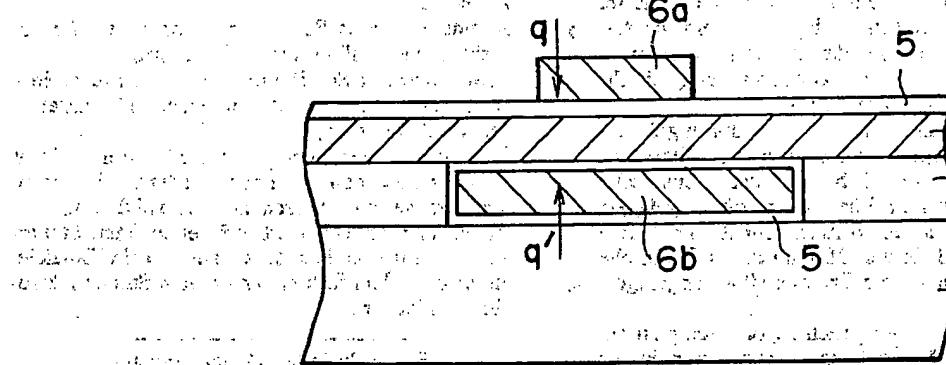


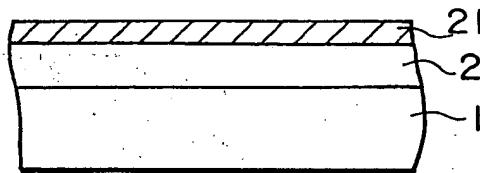
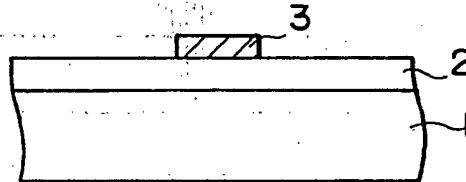
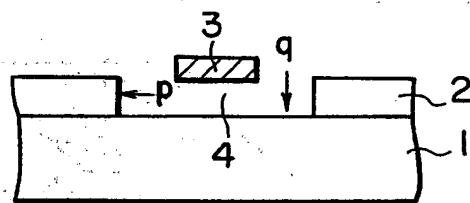
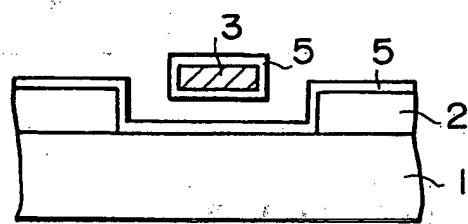
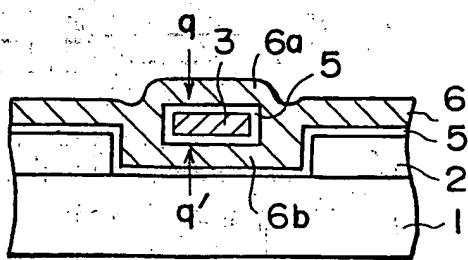
FIG. 32A**FIG. 32B****FIG. 32C****FIG. 32D****FIG. 32E**

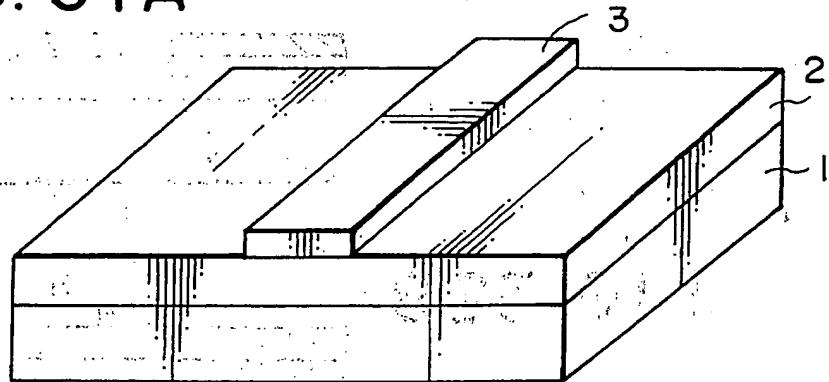
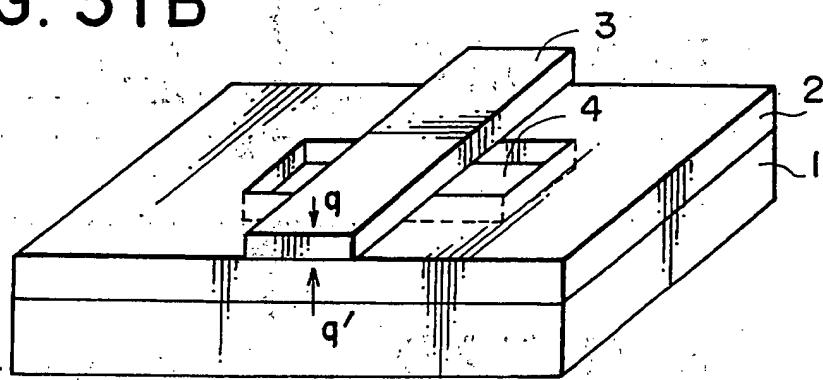
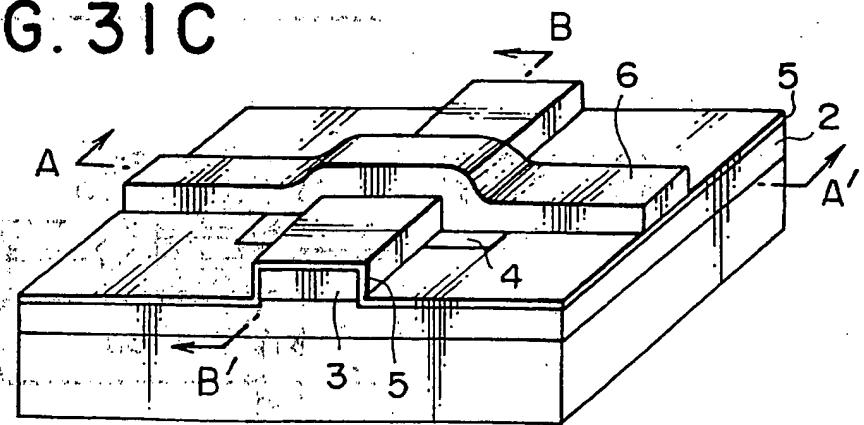
FIG. 3IA**FIG. 3IB****FIG. 3IC**

FIG. 30

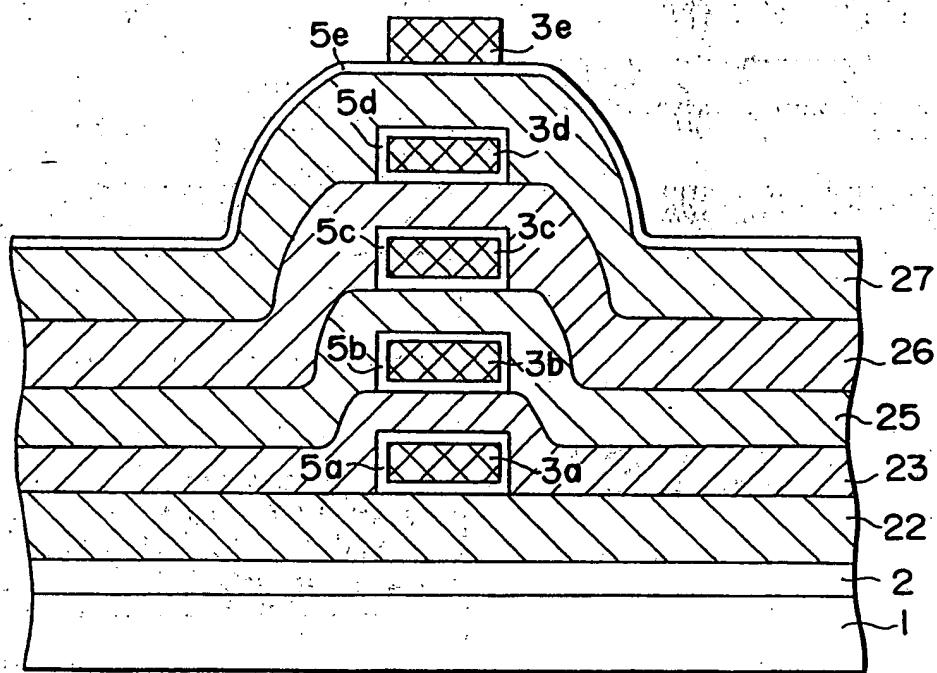


FIG. 29A

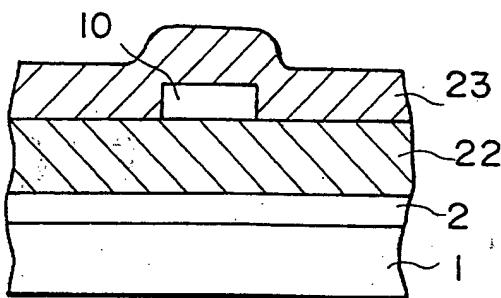


FIG. 29B

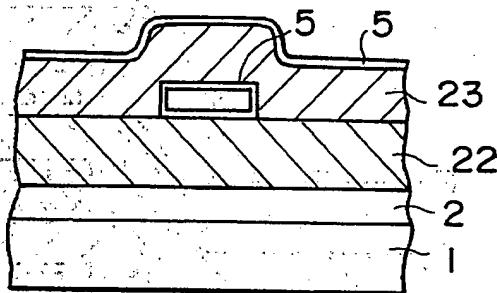


FIG. 29C

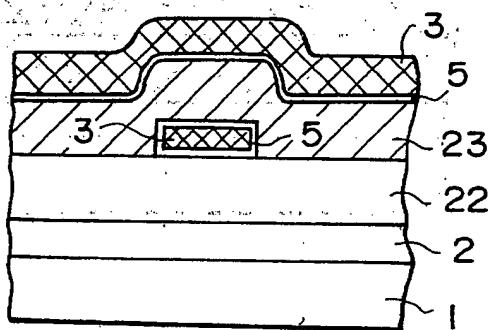


FIG. 29D

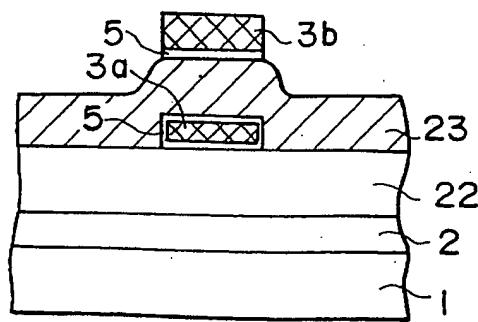


FIG. 28A

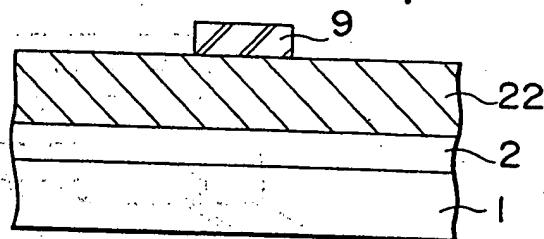


FIG. 28B

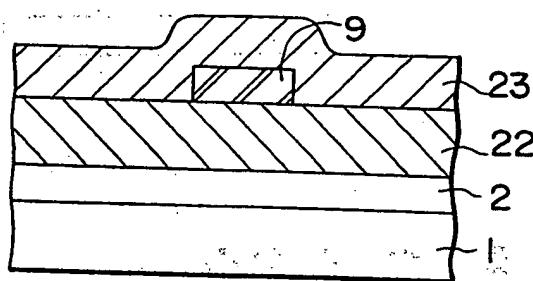


FIG. 28C

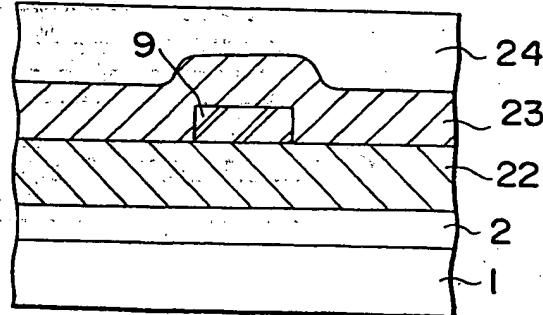


FIG. 28D

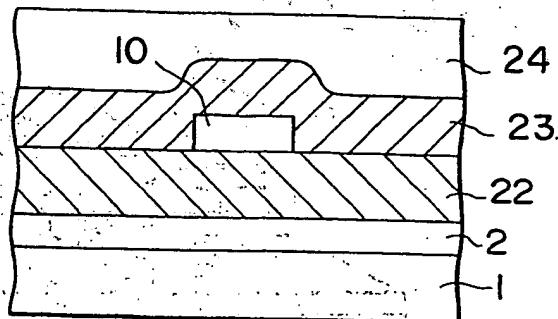


FIG. 27A

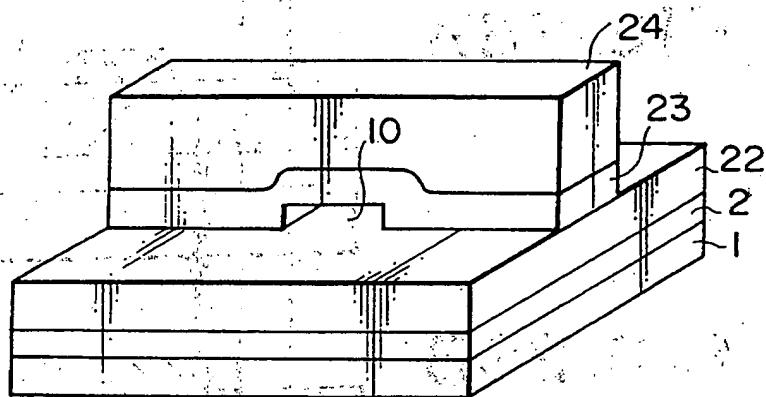


FIG. 27B

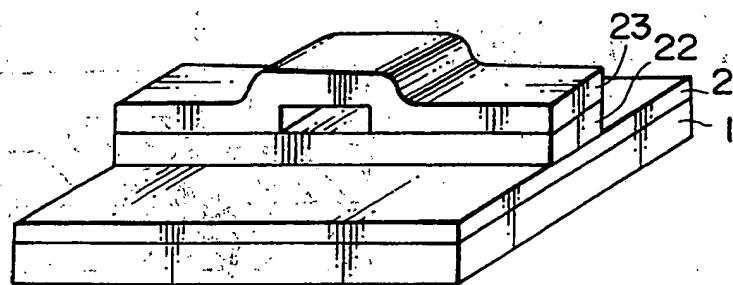


FIG. 27C

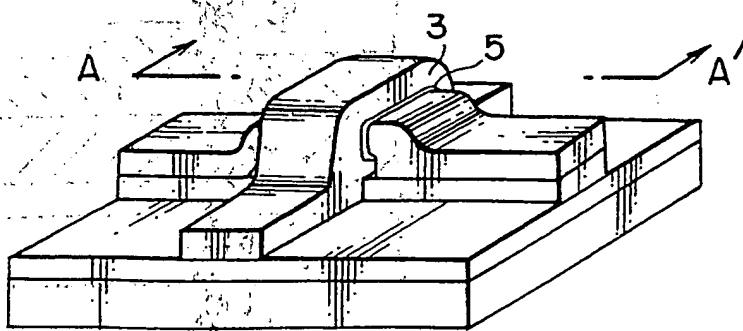


FIG. 26A

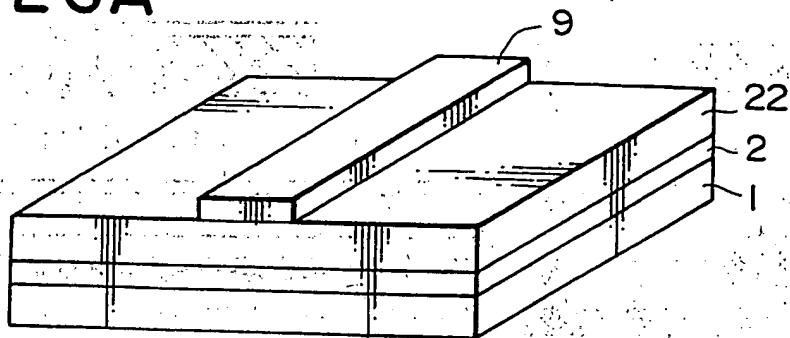


FIG. 26B

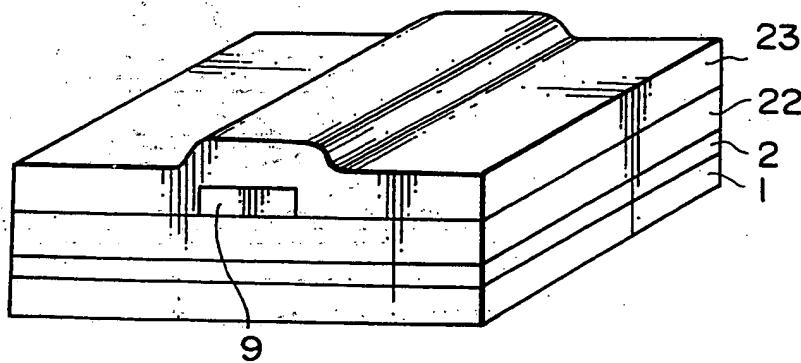


FIG. 26C

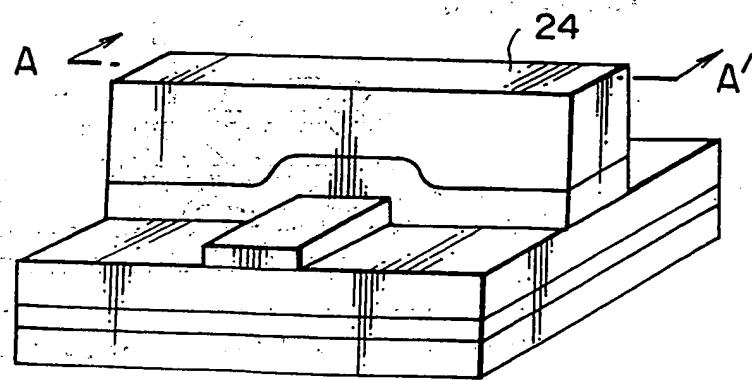


FIG. 25A

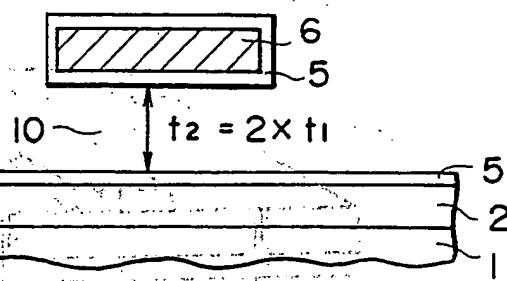


FIG. 25B

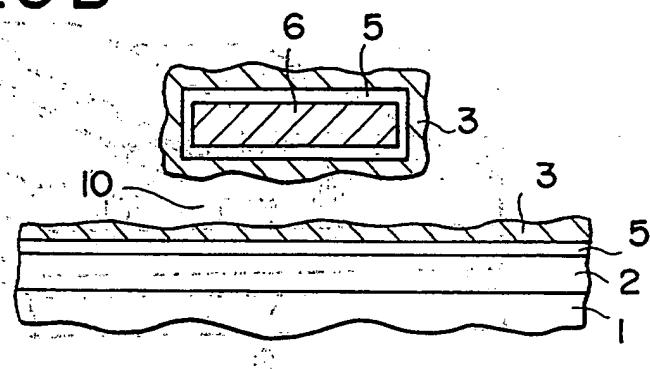


FIG. 25C

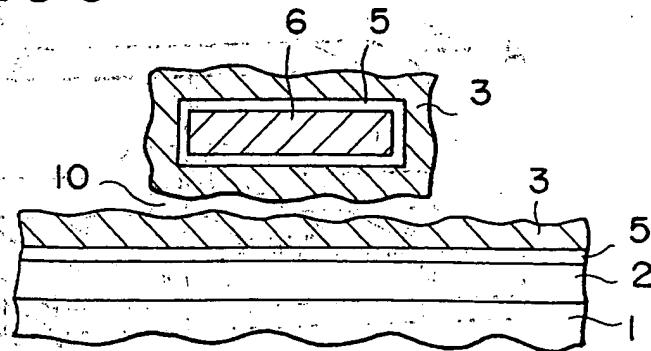


FIG. 23

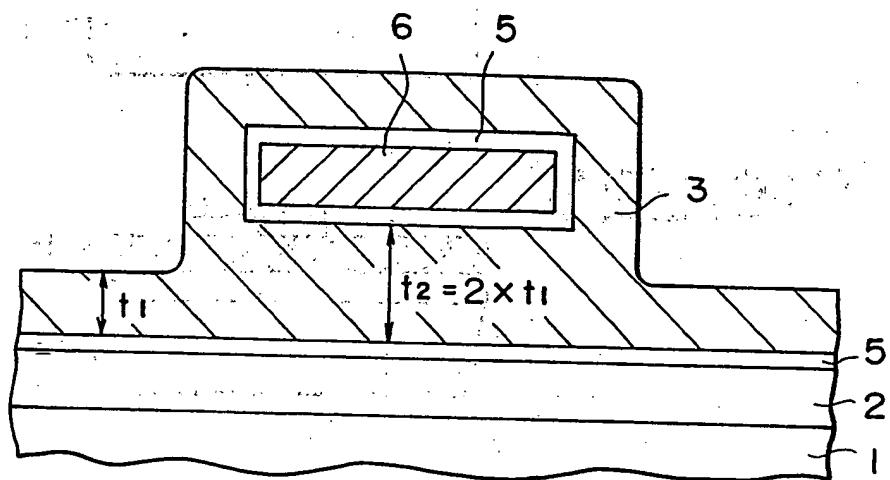


FIG. 24

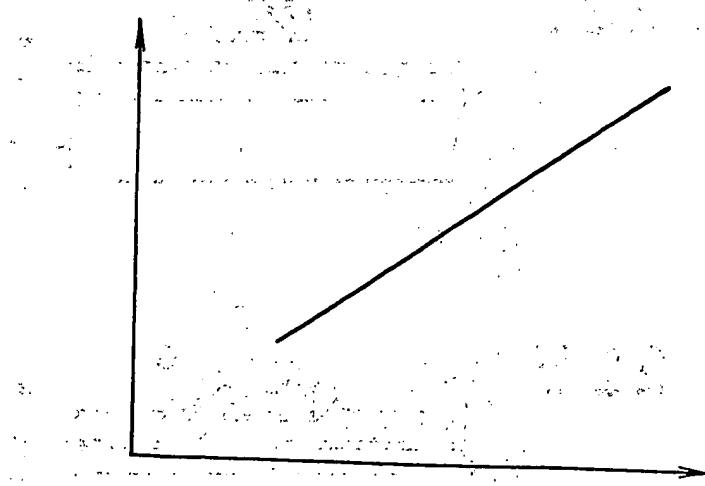


FIG. 22A

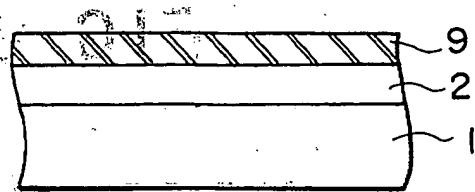


FIG. 22B

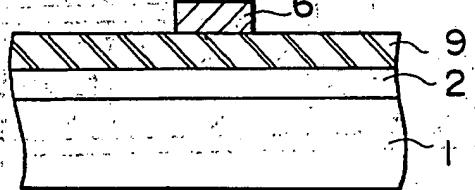


FIG. 22C

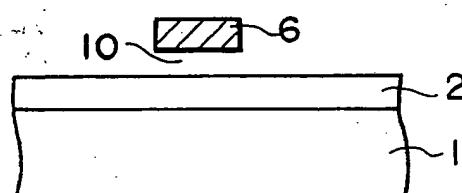


FIG. 22D

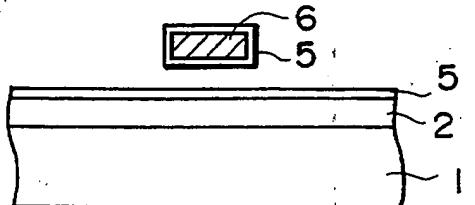


FIG. 22E

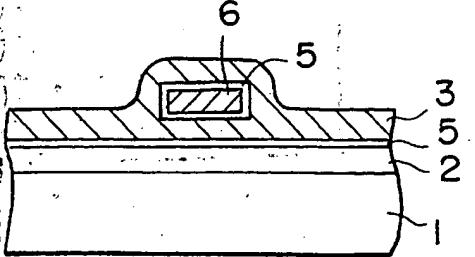


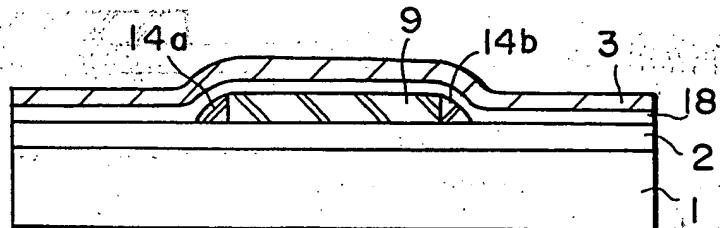
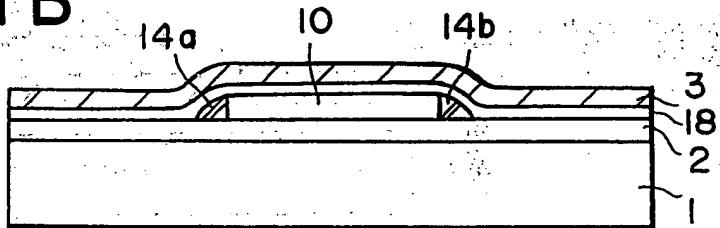
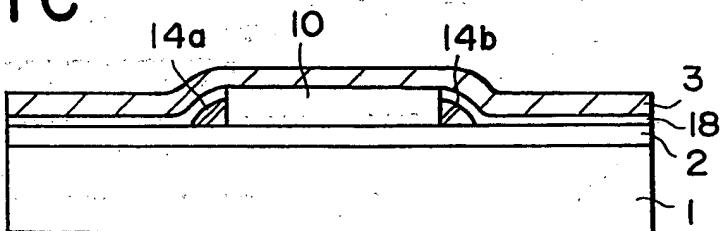
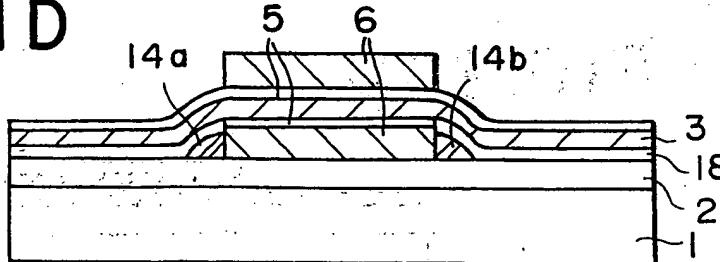
FIG. 21A**FIG. 21B****FIG. 21C****FIG. 21D**

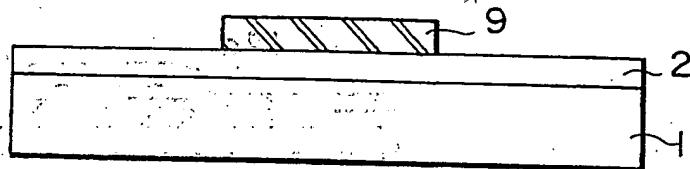
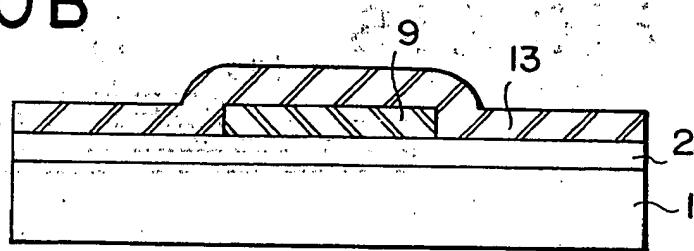
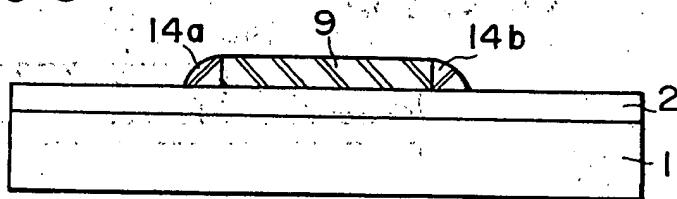
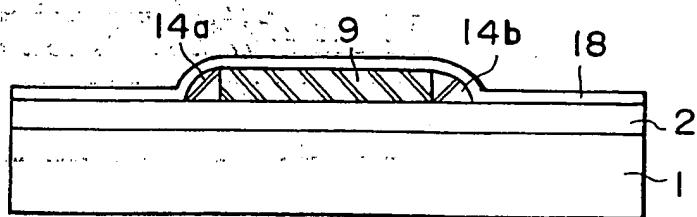
FIG. 20A**FIG. 20B****FIG. 20C****FIG. 20D**

FIG. 19A

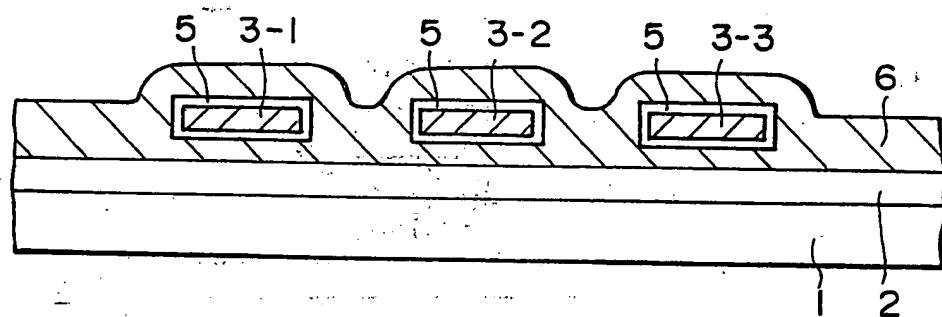


FIG. 19B

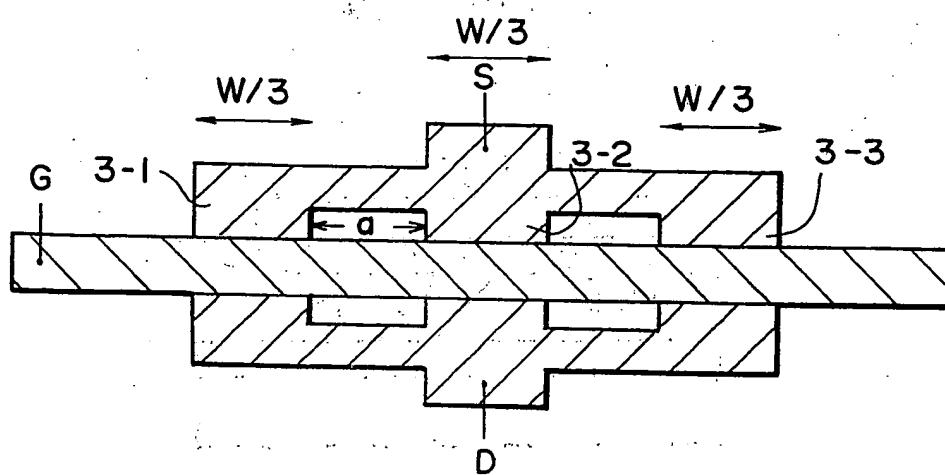


FIG. 18A

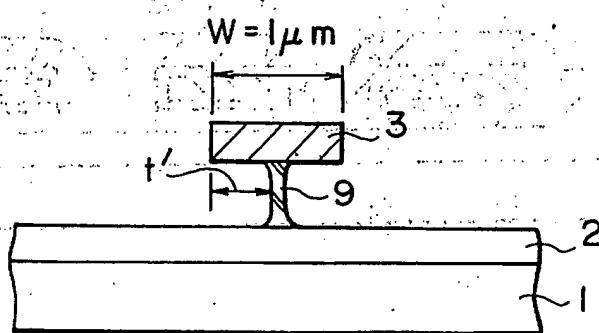


FIG. 18B

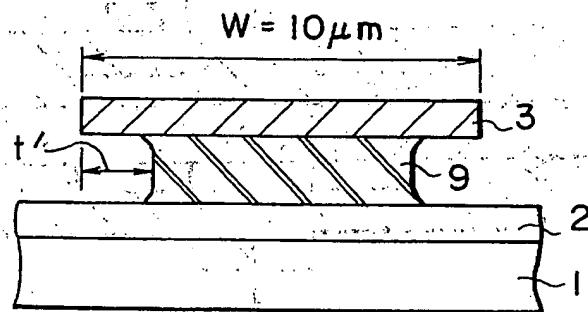


FIG. 17A

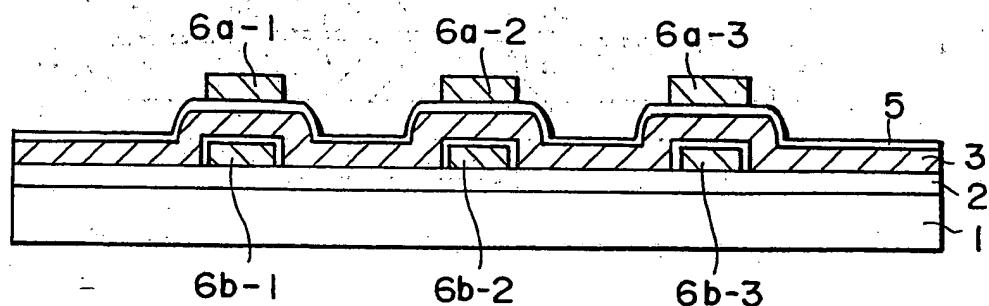


FIG. 17B

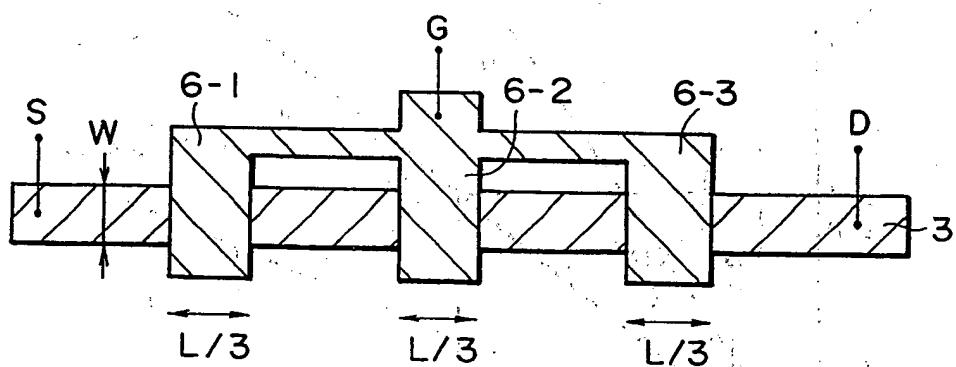


FIG. 15

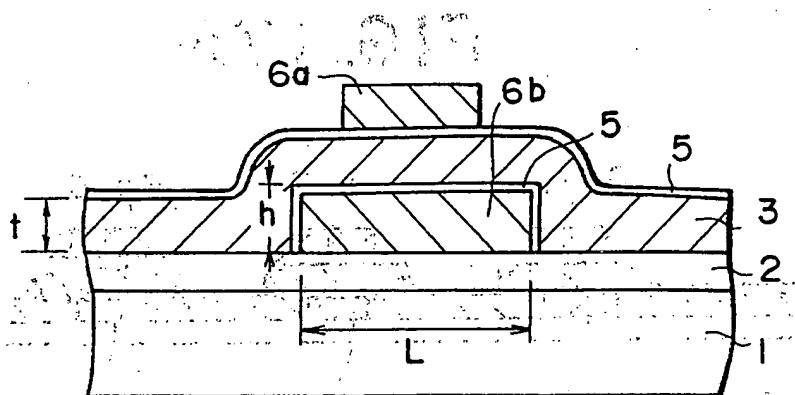


FIG. 16

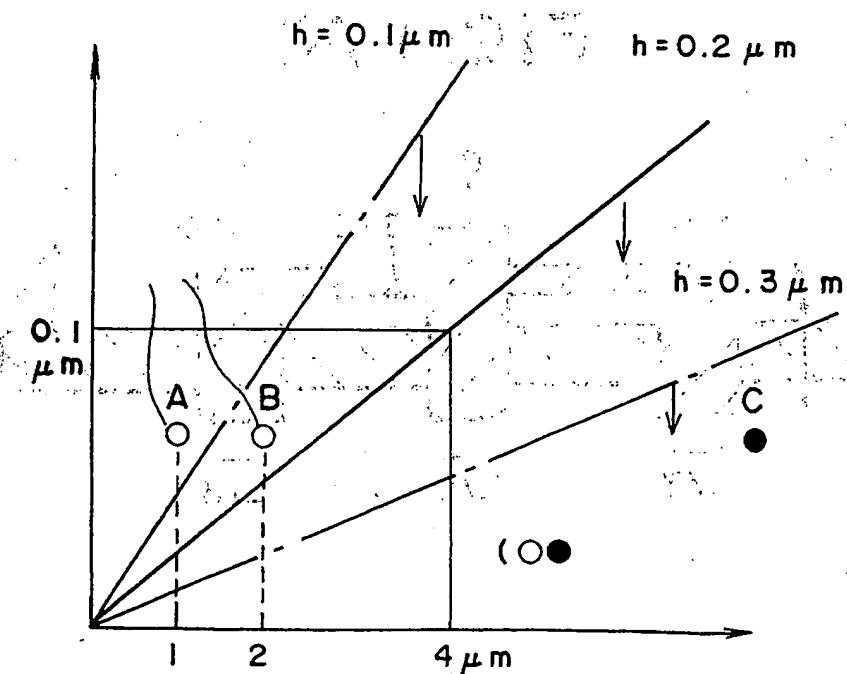


FIG. 14A

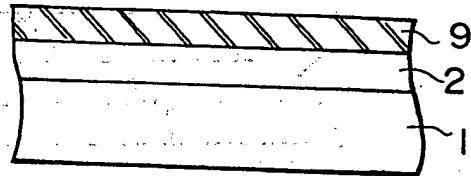


FIG. 14B

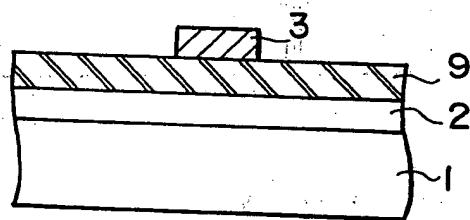


FIG. 14C

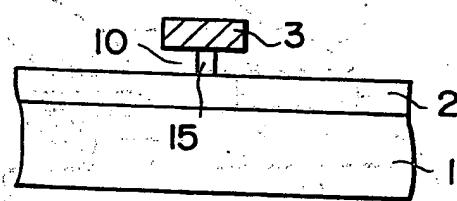


FIG. 14D

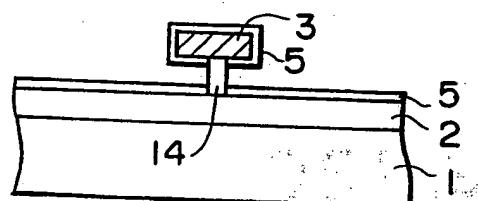


FIG. 14E

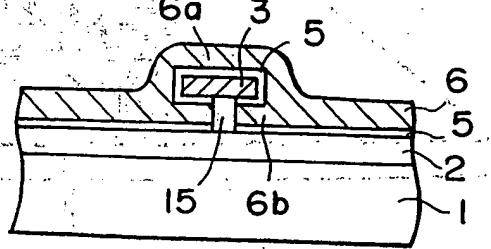


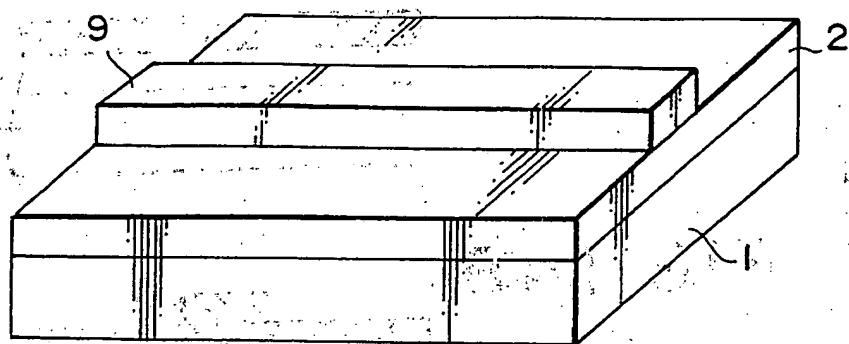
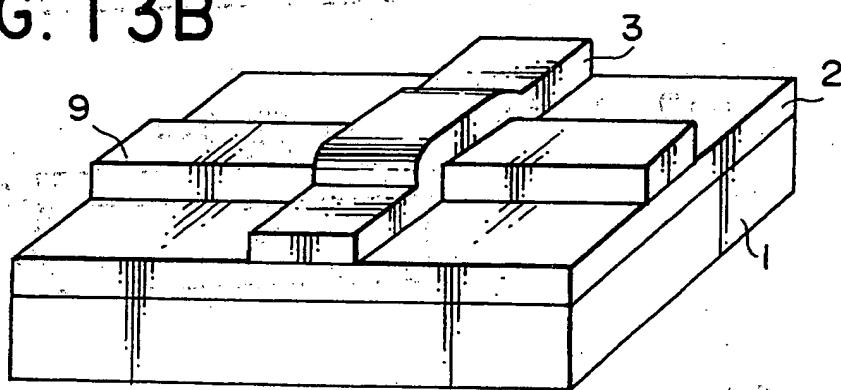
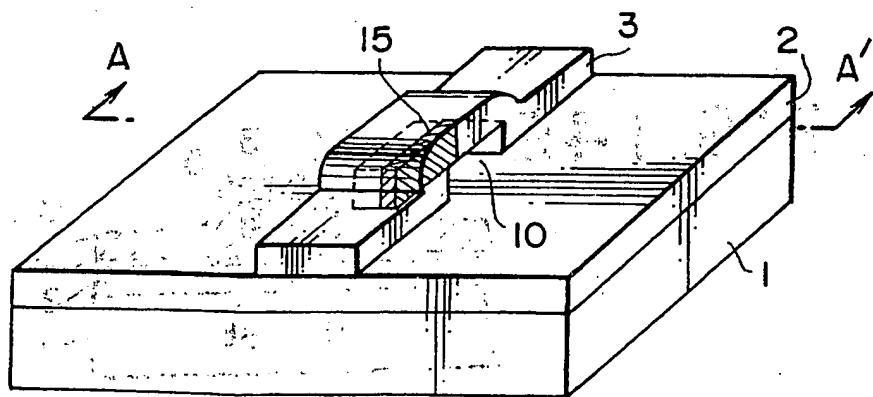
FIG. 13A**FIG. 13B****FIG. 13C**

FIG. 12A

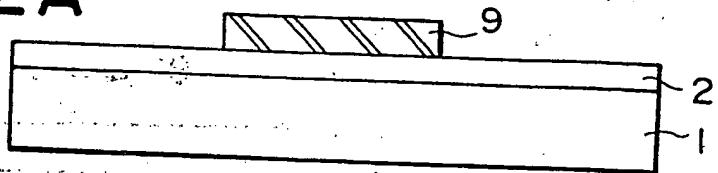


FIG. 12B

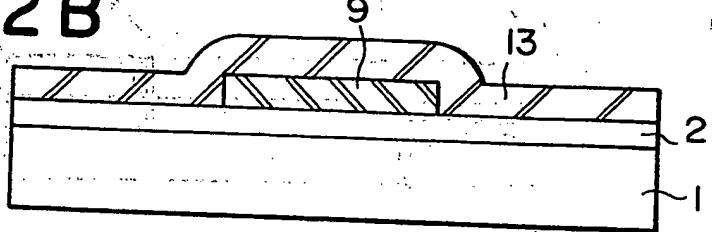


FIG. 12C

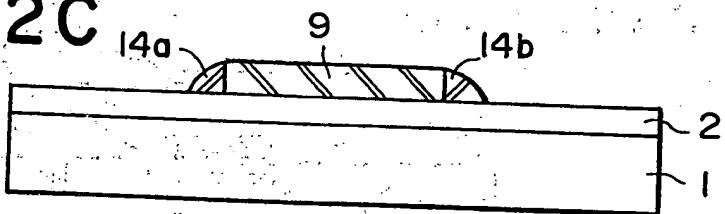


FIG. 12D

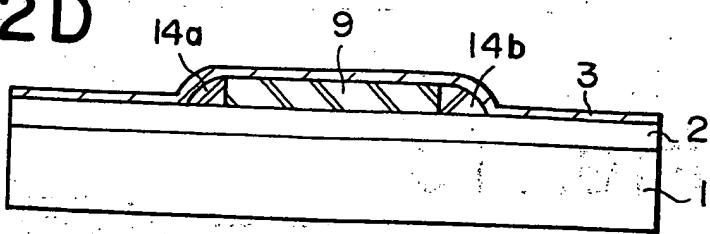


FIG. 12E

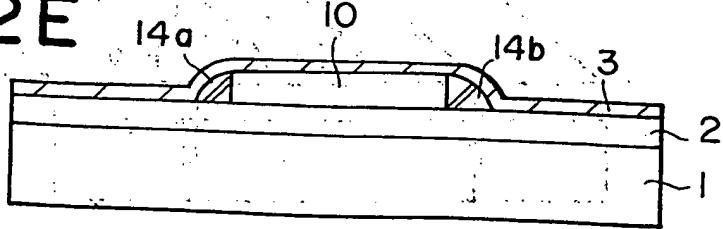


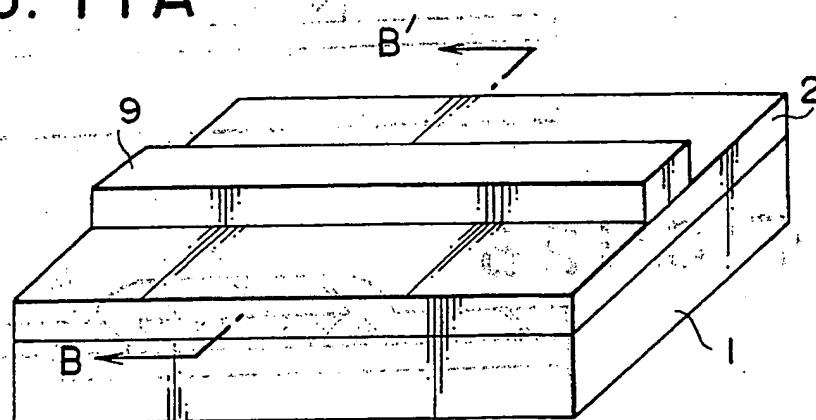
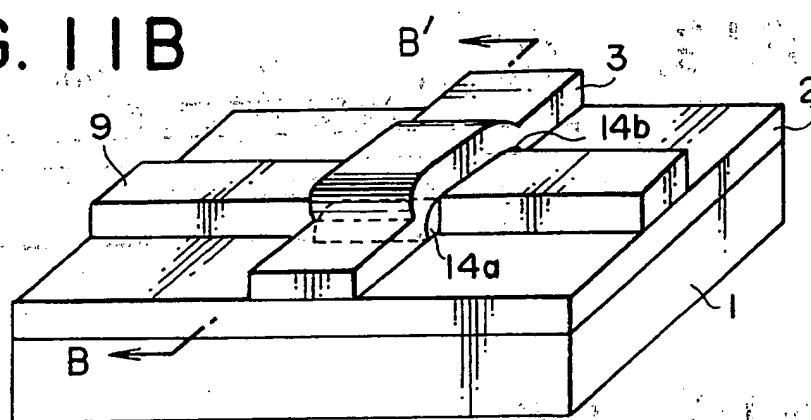
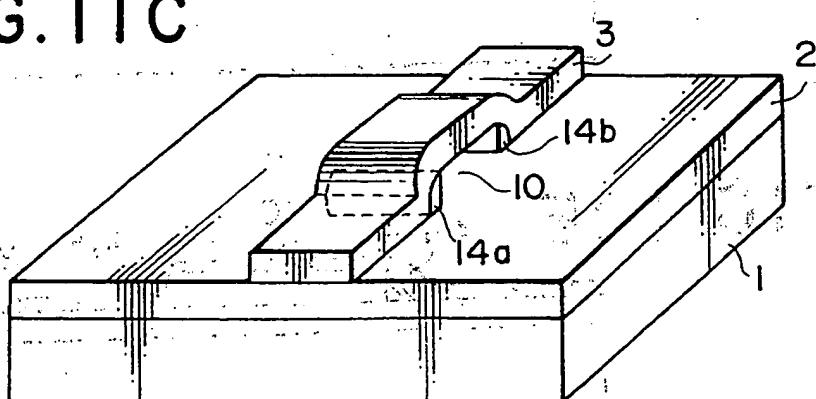
FIG. IIA**FIG. IIB****FIG. IIC**

FIG. 9

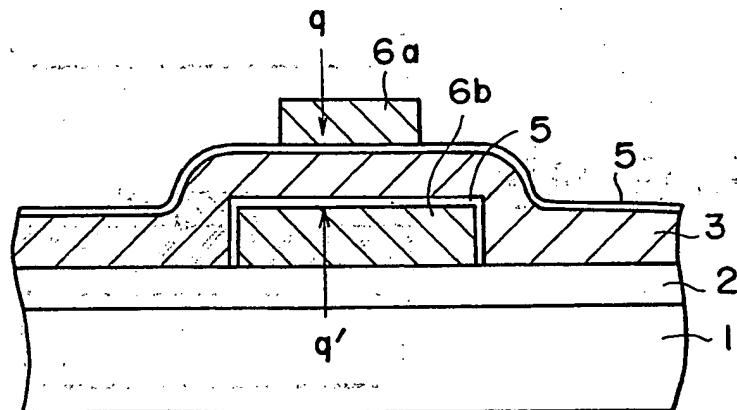


FIG. 10

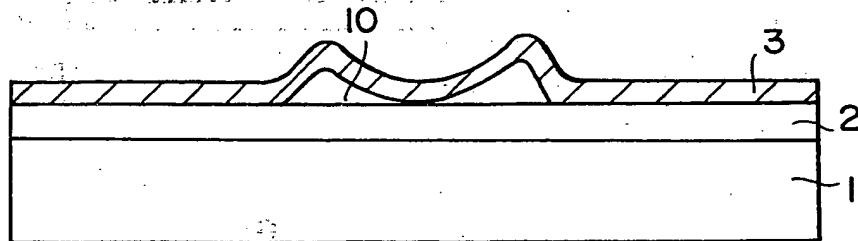


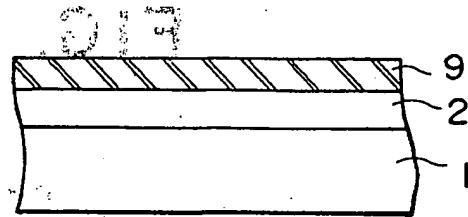
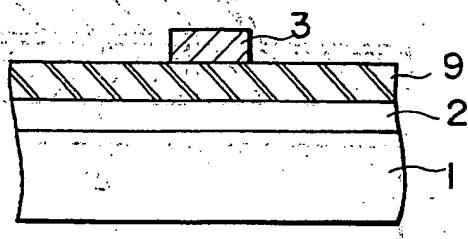
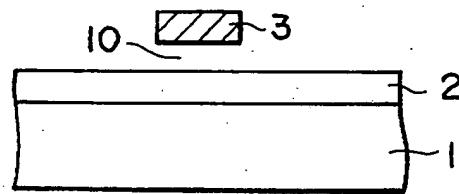
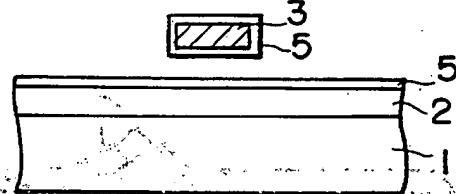
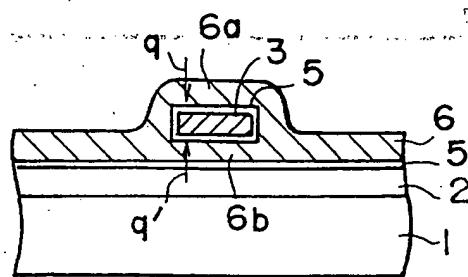
FIG. 8A**FIG. 8B****FIG. 8C****FIG. 8D****FIG. 8E**

FIG. 7A

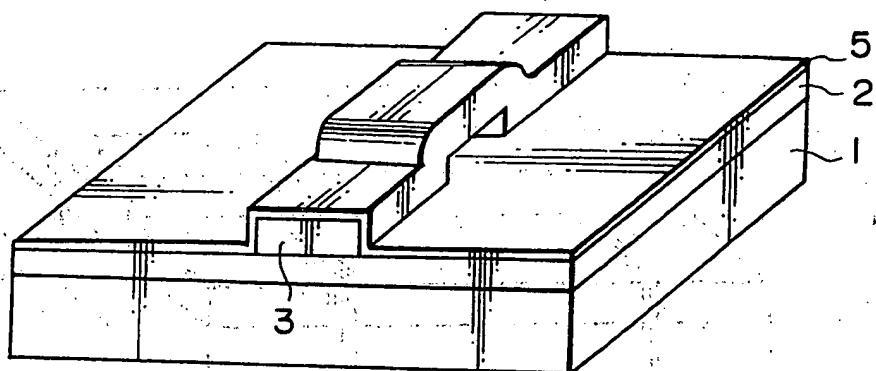


FIG. 7B

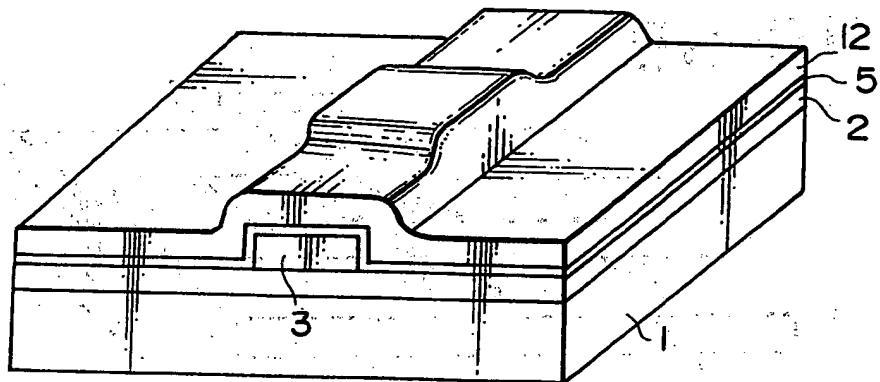


FIG. 7C

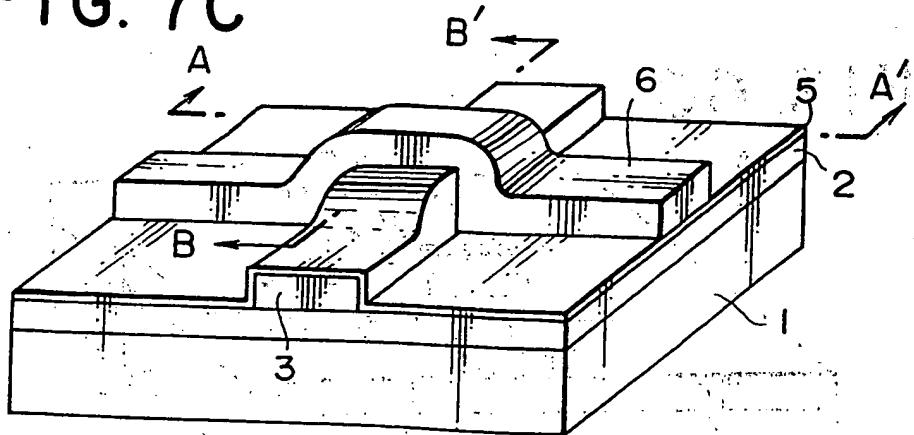


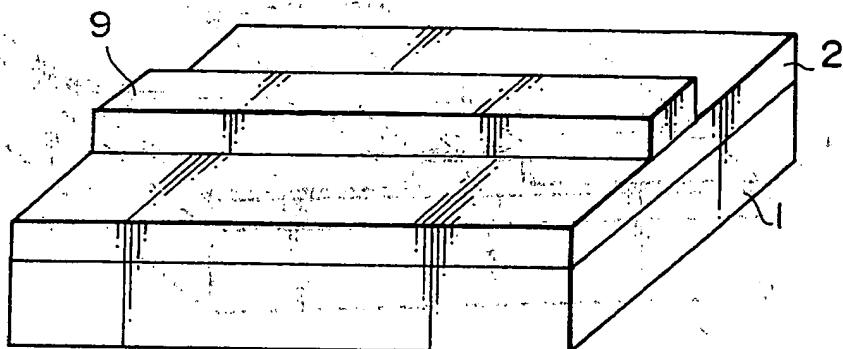
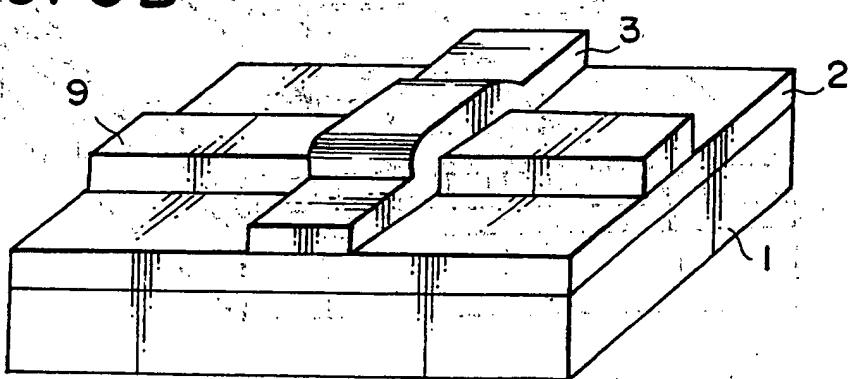
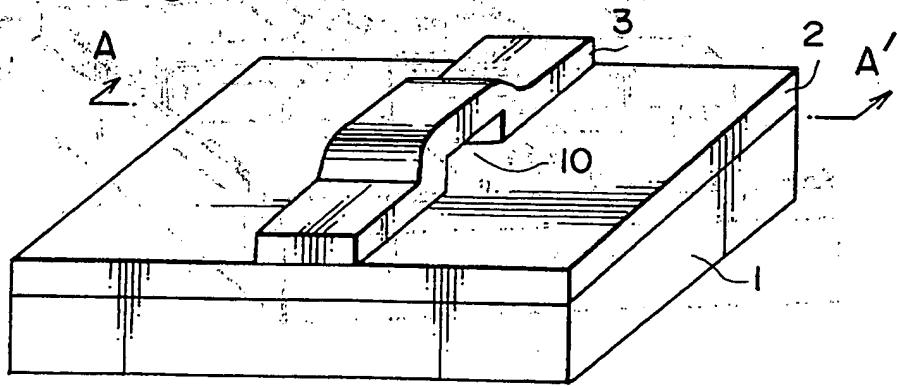
FIG. 6A**FIG. 6B****FIG. 6C**

FIG. 5

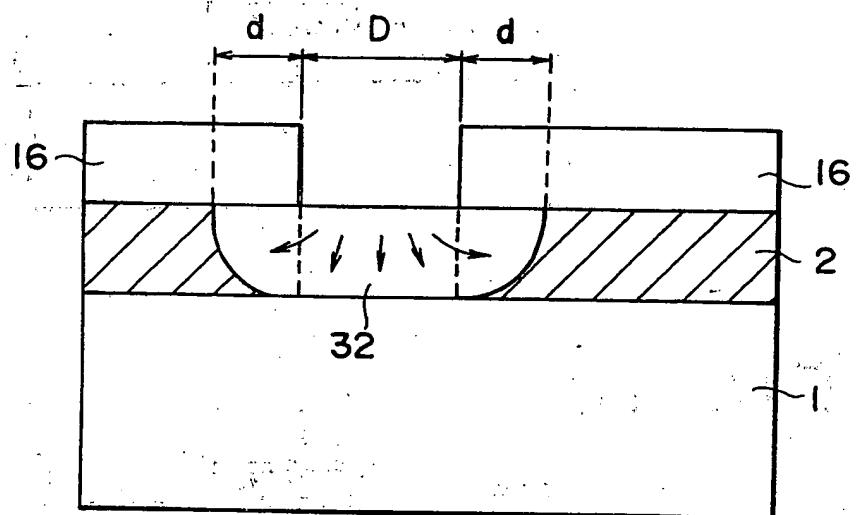


FIG. 4A

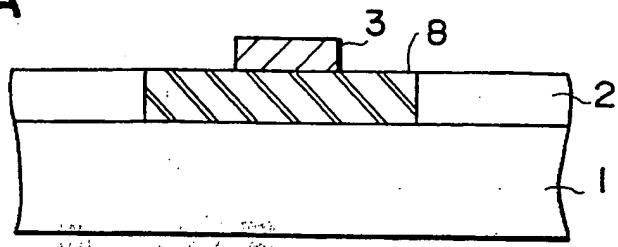


FIG. 4B

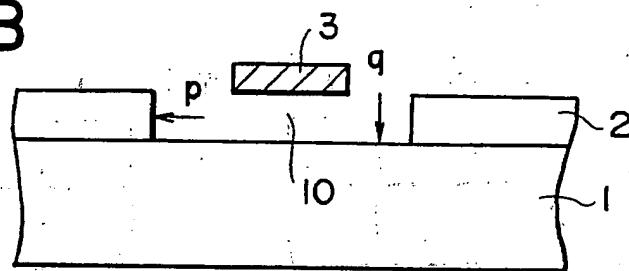


FIG. 4C

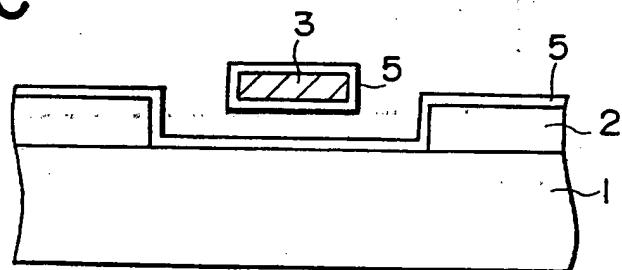
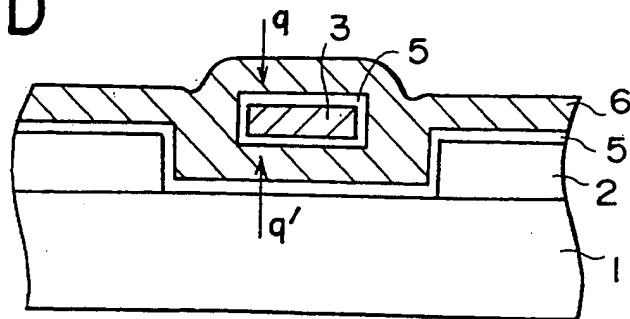


FIG. 4D



Nummer:

DE 44 33 086 C2

Int. Cl. 6:

H 01 L 29/786

Veröffentlichungstag: 27. Juni 1996

FIG. 3A

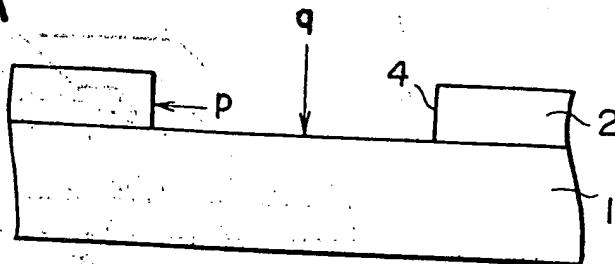


FIG. 3B

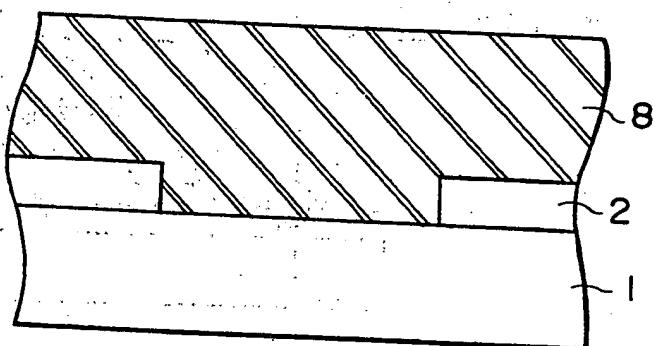


FIG. 3C

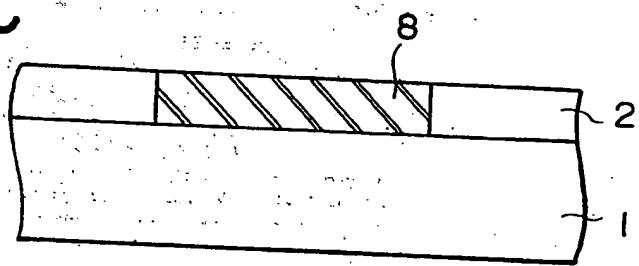


FIG. 3D

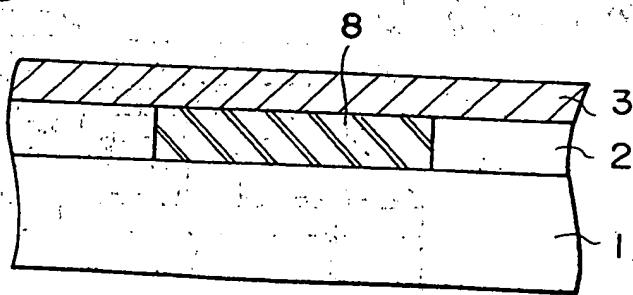


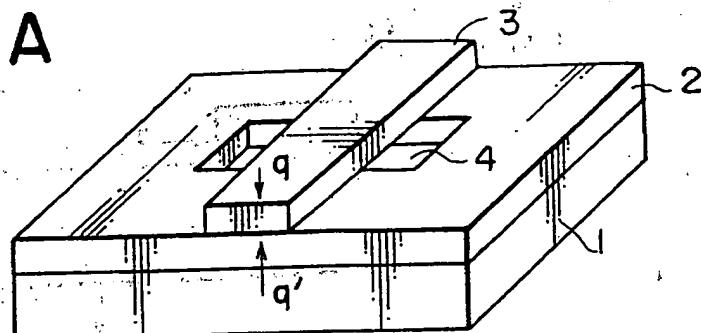
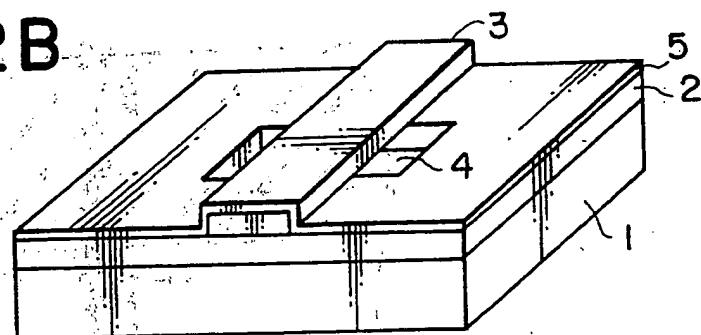
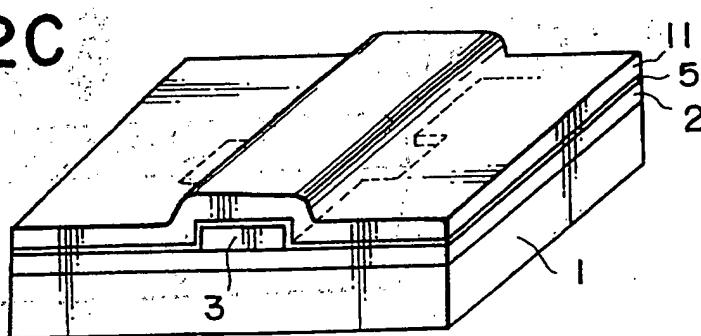
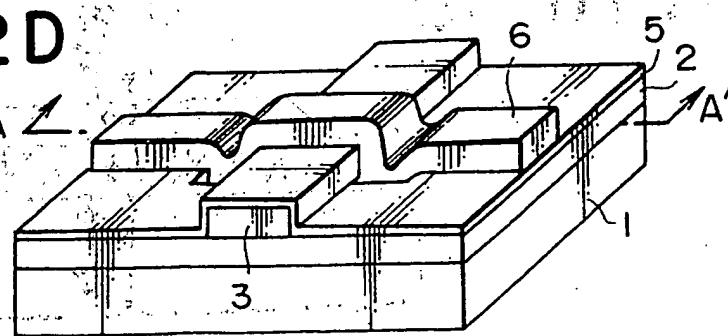
FIG. 2A**FIG. 2B****FIG. 2C****FIG. 2D**

FIG. IA

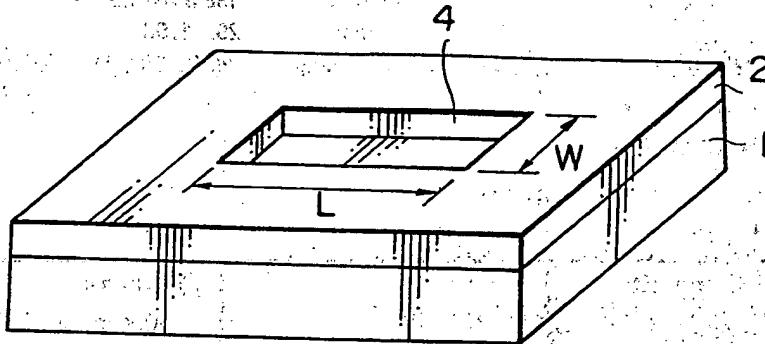


FIG. IB

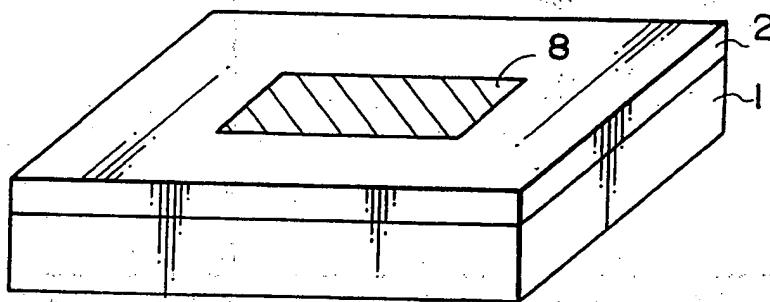
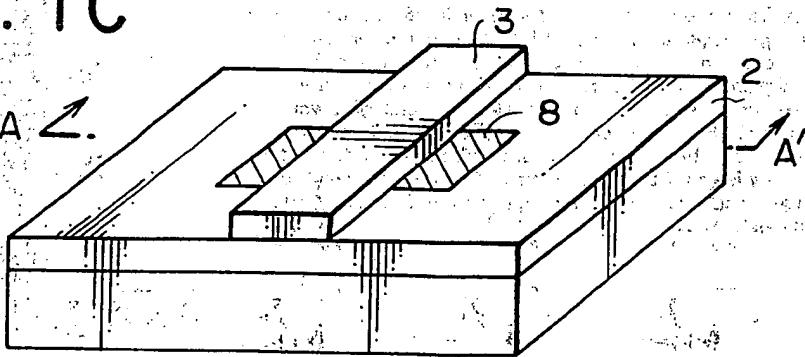


FIG. IC

Docket # L&L-I 0178Applic. # 09/996,279Applicant: Risch et al.

Lerner and Greenberg, P.A.
 Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101